

550519

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年10 月14 日 (14.10.2004)

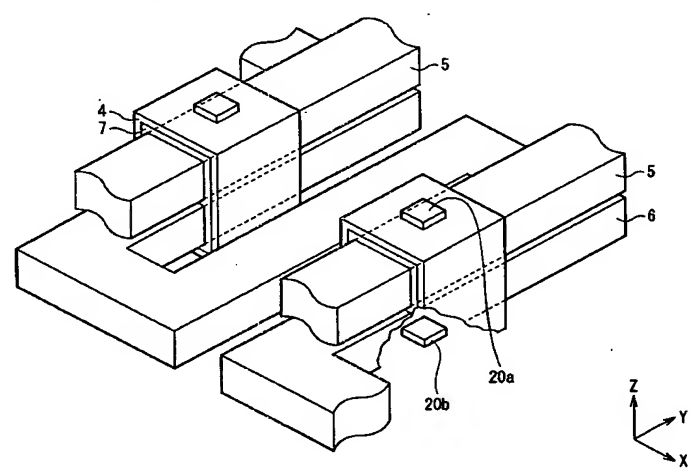
PCT

(10) 国際公開番号  
WO 2004/088751 A1

- |   |   |
|---|---|
| <p>(51) 国際特許分類<sup>7</sup>: H01L 27/10, 43/08, G11C 11/15</p> <p>(21) 国際出願番号: PCT/JP2004/004353</p> <p>(22) 国際出願日: 2004 年3 月26 日 (26.03.2004)</p> <p>(25) 国際出願の言語: 日本語</p> <p>(26) 国際公開の言語: 日本語</p> <p>(30) 優先権データ:<br/>特願2003-92924 2003 年3 月28 日 (28.03.2003) JP</p> <p>(71) 出願人 (米国を除く全ての指定国について): TDK 株式会社 (TDK CORPORATION) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 Tokyo (JP).</p> | <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ): 江崎 城一郎 (EZAKI, Joichiro) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP). 古賀 啓治 (KOGA, Keiji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP). 柿沼 裕二 (KAKINUMA, Yuji) [JP/JP]; 〒103-8272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).</p> <p>(74) 代理人: 三反崎 泰司, 外 (MITAZAKI, Taiji et al.); 〒160-0022 東京都新宿区新宿1丁目9番5号 大台ビル2階 Tokyo (JP).</p> <p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,</p> |
|---|---|
- [続葉有]

(54) Title: MAGNETIC MEMORY CELL, MAGNETIC MEMORY DEVICE, AND MAGNETIC MEMORY DEVICE MANUFACTURING METHOD

(54) 発明の名称: 磁気記憶セルおよび磁気メモリデバイスならびに磁気メモリデバイスの製造方法



(57) Abstract: A magnetic memory device in which information is written stably by reducing the loss of the magnetic field induced by the current flowing through a write line, a magnetic memory cell incorporated in the magnetic memory device, and a method for easily manufacturing such a magnetic memory device are disclosed. The magnetic memory cell comprises multilayer bodies and an annular magnetic layer. Each multilayer body includes a magnetosensitive layer in which the direction of magnetization varies with the external magnetic field. In the multilayer body, current flows perpendicularly to the multilayer surface. The annular magnetic layer is disposed between a first multilayer body and a second multilayer body. The axis of the annular magnetic layer is parallel to the multilayer surface. Conductive wires are passed through the annular magnetic layer along the axis. Degradation of the strength of the reflux magnetic field generated in the annular magnetic layer can be suppressed. Consequently, the magnetization reversal of the magnetosensitive layers of the first and second multilayer bodies can be effected by a less write current.

(57) 要約: 書込線を流れる電流によって形成される磁界の損失を低減し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供する。さらに、そのような磁気メモリデバイスを容易に製造するための方法を提供する。外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、第1の積層体と第2の積層体との間に、積層面に沿った方向

[続葉有]

WO 2004/088751 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

磁気記憶セルおよび磁気メモリデバイスならびに磁気メモリデバイスの製造方法

## 技術分野

本発明は、磁気抵抗効果素子を含む磁気記憶セルならびに複数の磁気記憶セルを備え、情報の記録・読出を行う磁気メモリデバイスおよびその製造方法に関する。

## 背景技術

従来より、コンピュータや通信機器等の情報処理装置に用いられる汎用メモリとして、D R A M (Dynamic Random Access Memory) や S R A M (Static R A M) などの揮発性メモリが使用されている。これらの揮発性メモリにおいては、記憶を保持するために絶えず電流を供給し、リフレッシュを行う必要がある。また、電源を切るとすべての情報が失われるので、これら揮発性メモリの他に情報を記録するための手段として不揮発性のメモリを設ける必要があり、例えば、フラッシュ E E P R O M や磁気ハードディスク装置などが用いられる。

これら不揮発性メモリにおいては、情報処理の高速化に伴って、アクセスの高速化が重要な課題となっている。さらに、携帯情報機器の急速な普及および高性能化に伴い、いつでもどこでも情報処理が行える、いわゆる、ユビキタスコンピューティングを目指した情報機器開発が急速に進められている。このような情報機器開発の中心となるキーデバイスとして、高速処理に対応した不揮発性メモリの開発が強く求められている。

不揮発性メモリの高速化に有効な技術としては、強磁性層の磁化容易軸に沿った磁化方向によって情報を記憶する磁気メモリ素子がマトリックス状に配列された磁気ランダムアクセスメモリ（以下、M R A M ; Magnetic random access memory という。）が知られている。M R A M では、2つの強磁性体における磁化方向の組み合わせを利用して情報を記憶するようになっている。一方、記憶情報の読み出しは、ある基準となる方向に対し、磁化方向が平行である場合と反平

行である場合とによって生じる抵抗変化（すなわち、電流あるいは電圧の変化）を検知することによって行う。このような原理で動作することから、MRAMでは、安定した書き込みおよび読み出しを行うために、抵抗変化率ができるだけ大きいことが重要である。

現在実用化されているMRAMは、巨大磁気抵抗（GMR；Giant magnetoresistive）効果を利用したものである。GMR効果とは、2つの磁性層を各層の磁化容易軸方向が互いに平行となるように配設したときに、それら各層の磁化方向が磁化容易軸に沿って平行となる場合に抵抗値が最小となり、反平行の場合に最大値となる現象である。このようなGMR効果が得られるGMR素子を利用したMRAM（以下、GMR-MRAMと記す。）としては、例えば米国特許第5343422号明細書に開示された技術が知られている。

GMR-MRAMには、保磁力差型（擬似スピバルブ型；Pseudo spin valve 型）と、交換バイアス型（スピバルブ；spin valve 型）とがある。保磁力差型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とを有し、2つの強磁性層の保磁力差を利用して情報の書込および読出を行うものである。ここで、GMR素子が、例えば「ニッケル鉄合金（NiFe）／銅（Cu）／コバルト（Co）」の構成を有する場合、その抵抗変化率は、6～8％程度の小さな値である。一方、交換バイアス型のMRAMは、GMR素子が、反強磁性層との反強磁性結合により磁化方向が固定された固定層と、外部磁界により磁化方向が変化するフリー層と、それらの間に挟まれた非磁性層とを有し、固定層とフリー層との磁化方向の違いを利用して情報の書込および読出を行うものである。例えば、GMR素子の構成を「白金マンガン（PtMn）／コバルト鉄（CoFe）／銅（Cu）／CoFe」とした場合の抵抗変化率は10％程度であり保磁力差型よりも大きな値を示すが、さらなる記憶速度向上やアクセス速度向上を達成するには不十分であった。

これらの点を解決するために、トンネル磁気抵抗効果（TMR；Tunneling magnetoresistive）を利用したTMR素子を有するMRAM（以下、TMR-MRAMと記す。）が提案されている。TMR効果は、極薄の絶縁層（トンネルバリア層）を挟んだ2つの強磁性層間における磁化方向の相対角度により絶縁層



を通過して流れるトンネル電流が変化するという効果である。2つの強磁性層における磁化方向が、互いに平行な場合に抵抗値が最小となり、互いに反平行の場合に最大となる。TMR-MRAMでは、TMR素子が、例えば「CoFe/アルミニウム酸化物/CoFe」という構成の場合、抵抗変化率が40%程度と高く、また、抵抗値も大きいためMOSFET等の半導体デバイスと組み合わせた場合のマッチングが取りやすい。このため、GMR-MRAMと比較して、より高い出力が容易に得られ、記憶容量やアクセス速度の向上が期待されている。TMR-MRAMでは、導線に電流を流すことにより発生する電流磁界により、TMR素子の磁性膜の磁化方向を所定の変化させることにより情報を記憶する方法が知られている。記憶情報を読み出す方法としては、トンネルバリア層に垂直な方向に電流を流し、TMR素子の抵抗変化を検出する方法が知られている。なお、TMR-MRAMに関しては、米国特許第5629922号明細書あるいは特開平9-91949号公報に開示された技術等が知られている。

上記したように、TMR効果を利用したMRAMでは、GMR効果を利用したMRAMよりも高出力化を達成することができる。しかしながら、上記のような40%程度の抵抗変化率を示すTMR素子を用いたMRAMであっても、出力電圧は数十mV程度であるので、より高密度な磁気メモリデバイスを実現するには不十分である。

第48図は、従来のTMR効果を利用した磁気メモリデバイスにおける構成を説明する平面図であり、第49図は、第48図に対応する従来の磁気メモリデバイスの要部断面構成を示すものである。互いに平行に延びる読出ワード線112および書込ワード線106に対し、書込ビット線105が直交しており、その直交部分のZ方向に挟まれる領域に第1磁性層102、トンネルバリア層103および第2磁性層104からなるTMR素子120が配設されている。このような、書込ビット線105と書込ワード線106とが直交するタイプのMRAMでは、フリー層として機能する第2磁性層104における磁化方向を全体に亘って十分に揃えることができず、十分に安定した書込をおこなうことは困難であった。

また、TMR効果を利用したMRAMでは、直交配置された導線を流れる電流による誘導磁界、すなわち電流磁界によって磁性膜の磁化方向を変えることによ

り、各々の記憶セルに情報の記憶を行うようになっているが、この電流磁界はオープンな（磁氣的に特定の領域に閉じ込められていない）磁界であるので、低効率であると共に、隣接した記憶セルへの悪影響も懸念される。

さらに、記憶セルをより高集積化して磁気メモリデバイスのさらなる高密度化を図る場合、TMR素子の微小化が必須となるが、次のような問題が懸念される。すなわち、TMR素子における各磁性層のアスペクト比（厚み／積層面内方向の幅）が大きくなることにより反磁界が増大し、フリー層の磁化方向を変えるための磁界強度が増大してしまい、大きな書込電流を必要とすると考えられる。

#### 発明の開示

本発明はかかる問題点に鑑みてなされたもので、本発明の第1の目的は、コンパクトな構成でありながら、書込線を流れる電流によって形成される磁界の損失を低減し、安定した書込が可能な磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。第2の目的は、隣接した磁気記憶セルに悪影響を及ぼすことが少ない磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。第3の目的は、一対の磁気抵抗効果素子を用いることにより、高い信号出力が得られ、高速かつ大容量の磁気メモリデバイスおよびそれに搭載される磁気記憶セルを提供することにある。さらに、第4の目的は、そのような磁気メモリデバイスを容易に製造するための方法を提供することにある。

本発明の磁気記憶セルは、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの積層面が対向するように配置された第1および第2の積層体と、これら第1の積層体と第2の積層体との間に、積層面に沿った方向を軸方向とするように配置されると共に、軸方向に沿って複数の導線によって貫かれるように構成された環状磁性層とを備えるようにしたものである。ここで、本発明における「外部磁界」とは、複数の導線に流れる電流によって生ずる磁界、または、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、内部を貫く複数の導線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り込み、複数の導線を横切る方向の断面が閉じている状態を示す。したがって、環状磁性

層は、磁気的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容する。すなわち、電流が流れないような絶縁体は含まないものの、例えば製造工程において発生する程度の酸化膜は含んでもよい。また、「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫く複数の導線の延在方向を指す。また、「第1および第2の積層体におけるそれぞれの一方の面側に、・・・配設され」とは、環状磁性層が、そのうちの一部分が積層体によって構成されて配設されるという趣旨である。さらに、「複数の導線によって貫かれるように」とは、環状磁性層によって取り囲まれた領域または空間を複数の導線が貫通している状態を示す。

本発明の磁気記憶セルでは、上記構成により、複数の導線に電流を流すことによって閉磁路が形成されるので、第1および第2の積層体における各感磁層の磁化反転が効率的に行われる。

本発明の磁気メモリデバイスは、第1の書込線と、この第1の書込線と交差するように延びる第2の書込線と、磁気記憶セルとを備え、磁気記憶セルは、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの積層面が対向するように配置された第1および第2の積層体と、これら第1の積層体と第2の積層体との間に、積層面に沿った方向を軸方向とするように配置されると共に、軸方向に沿って第1および第2の書込線によって貫かれるように構成された環状磁性層とを含むようにしたものである。

本発明の磁気メモリデバイスでは、上記した構成により、第1および第2の書込線の双方に電流を流すことによって閉磁路が形成されるので、第1および第2の積層体における各感磁層の磁化反転が効率的に行われる。

本発明の磁気メモリデバイスの製造方法は、第1の書込線と、この第1の書込線と交差するように延びる第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含む第1および第2の積層体を有する磁気記憶セルと、を備えた磁気メモリデバイスを製造するための方法であり、第1および第2の整流素子が設けられた基体の上に、第2の積層体の一部をなす第2の積層部分を形成し、第2の整流素子と第2の積層体とを電氣的に接続する工程と、少なくとも積層部分を覆

うように下部磁性層を形成し、第2の積層体の形成を完了する工程と、下部磁性層の上に、第1の絶縁膜を介して第1の書込線を形成する工程と、第1の書込線の上に、第2の絶縁膜を介して第2の書込線を、第1および第2の書込線が互いに平行に延在する部分を含むように形成する工程と、第2の書込線と、第2の絶縁膜と、第1の書込線とを順次エッチングしてパターニングすることにより、第1および第2の書込線が第2の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、積層パターンを第3の絶縁膜を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、この環状磁性層の上の、第2の積層体に対応する位置に第1の積層部分を設けることにより第1の積層体を形成し、第1および第2の積層体を有する磁気記憶セルを形成する工程と、第1の積層体と第1の整流素子とを電氣的に接続する工程とを含むようにしたものである。

本発明の磁気メモリデバイスの製造方法では、上記工程により、共通に設けられた環状磁性層に、互いに積層面が対向するように配置された第1および第2の積層体が形成された構造を得ることができる。ここで、「第1および第2の書込線が第2の絶縁膜を挟んで互いに平行」とは、製造上の誤差範囲 $\pm 10^\circ$ を含むものである。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1の積層体が、環状磁性層と共に第1の磁気抵抗効果素子を構成し、第2の積層体が、環状磁性層と共に第2の磁気抵抗効果素子を構成していることが望ましい。これにより、環状磁性層を共有化した一対の磁気抵抗効果素子が構成されるので、1つの積層体に対して1つの環状磁性層を設ける場合よりも省スペース化を図ることができる。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体が、いずれも環状磁性層と電氣的に接続されていることが望ましい。これにより、第1および第2の積層体において、それぞれ積層面に垂直な方向に流れる電流が感磁層から環状磁性層へと流れるようになる。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、複数の導線（第1および第2の書込線）が、環状磁性層を貫く領域において互いに平行に延びるように構成されることが望ましい。こうすることにより、複数の導線（第1および第2

の書込線)に電流を流すことによって生じる合成磁界を、複数の書込線(第1および第2の書込線)が互いに交差する場合よりも大きくすることができ、感磁層における磁化反転がより効率的に行われる。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、複数の導線(第1および第2の書込線)が、環状磁性層を貫く領域において第1の積層体と第2の積層体とを通る直線の方角において互いに隣り合うように配列されるようにしてもよいし、あるいは、環状磁性層を貫く領域において第1の積層体と第2の積層体とを通る直線と直交する方角において互いに隣り合うように配列されるようにしてもよい。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、環状磁性層を貫く複数の導線(第1および第2の書込線)の双方を流れる電流により生ずる磁界によって、第1および第2の積層体における各感磁層の磁化方角が互いに反平行を向くように変化し、第1および第2の積層体に情報が記憶されるようにすることが望ましい。本発明における「磁化方角が互いに反平行」とは、互いの磁化方角、すなわち、各磁性層内の平均の磁化方角のなす相対角が、厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生ずる程度の誤差等に起因して180度から所定角だけ外れている場合も含む。また、「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」、「1」あるいは電流値や電圧値による「High」、「Low」等で表される2値情報をいう。

この磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体において、感磁層の磁化方角が互いに反平行となる状態で情報が記憶される。

より具体的には、第1および第2の積層体における一対の感磁層の一方が第1の方角に磁化し他方が第1の方角と反平行をなす第2の方角に磁化する第1の状態と、一対の感磁層の一方が第2の方角に磁化し他方が第1の方角に磁化する第2の状態、のいずれかをとり、第1および第2の状態に対応して第1および第2の積層体に情報が記憶されるようにすることが望ましい。このとき、第1および第2の積層体における双方の感磁層の磁化は、互いに向き合う状態と、反対向きになる状態との2つの状態をとることができ、これに2値情報が対応する。

本発明の磁気記憶セルおよび磁気メモリデバイスでは、一対の感磁層が、環状磁性層のうち的一部分を構成するようにしてもよい。さらに、一対の感磁層が、それぞれ互いに磁氣的に交換結合するように構成された第1および第2の感磁部分を含み、第1の感磁部分が、環状磁性層のうち的一部分を構成するようにしてもよい。加えて、一対の第1の感磁部分と一対の第2の感磁部分との間に、これらを互いに反強磁性結合させるための一対の第1の非磁性導電層を配設するようにしてもよい。

また、本発明の磁気記憶セルおよび磁気メモリデバイスでは、一対の第2の感磁部分が一対の第1の感磁部分よりも大きな保磁力を有することが望ましい。これにより、一対の第2の感磁部分の磁化方向がより安定化する。

さらに、本発明の磁気記憶セルおよび磁気メモリデバイスでは、第1および第2の積層体が、それぞれ、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の、第1の磁性層と反対側に積層された感磁層とを含み、または、第1および第2の積層体が、それぞれ、非磁性層と、この非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、非磁性層の、第1の磁性層と反対側に積層され、第2の感磁部分として機能する第2の磁性層とを含み、第1および第2の積層体に流れる電流に基づいて情報が検出されるようにしてもよい。この場合、第1の磁性層が第2の磁性層よりも大きな保磁力を有することが望ましい。また、第1の磁性層の非磁性層とは反対側に、第1の磁性層と交換結合した反強磁性の第3の磁性層が配設されるようにしてもよい。第1の磁性層と第3の磁性層との間に、第1の磁性層の側から順に第2の非磁性導電層と、第1の磁性層と反強磁性結合した第4の磁性層とが配設されるようにしてもよい。これらの場合、非磁性層が、トンネル効果を生じさせ得る絶縁層からなるようにすることも可能である。

本発明の磁気メモリデバイスでは、さらに、第1および第2の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一対の第1の読出線を備え、各積層体に流れる電流に基づいて磁気記憶セルから情報が読み出されるように構成される。なお、本発明の磁気記憶セルにおいて「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていない

い状態であってもよい。

この磁気メモリデバイスでは、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じ、積層体の積層面に垂直な方向に電流を流した場合の電流値が異なることを利用して、情報の読出が行われる。

情報の読出については、一对の第1の読出線の各々から第1および第2の積層体の各々に読出電流が供給され、この一对の読出電流値の差分に基づいて磁気記憶セルから情報を読み出すようにすることが望ましい。この方式によれば、読出電流は差動出力されるので、各々の第1の読出線に生ずる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が相殺されて除去されるからである。

本発明の磁気メモリデバイスでは、第1および第2の積層体に供給された読出電流の各電流経路上における、一对の第1の読出線と第1および第2の積層体との間にそれぞれ設けられた第1および第2の整流素子と、第1および第2の積層体を流れた読出電流を接地へと導く第2の読出線とを備えていることが好ましい。

本発明の「整流素子」とは、電流を一方向のみに通過させ、逆方向の電流の通過を阻止する素子をいう。また、「電流経路」とは、読出電流が積層体に流入するためたどり、積層体を通過し、流出していく経路全体をいう。整流素子は、上記の電流経路上で、接地方向（第2の読出線側）のみに向かうように電流を流す整流作用を有している。この整流素子により、読出対象の各磁気記憶セルに向かって、共通の第2の読出線に接続されている他の磁気記憶セルからの電流の回り込みを回避できると共に、電流が読出対象の磁気記憶セル内における一方の積層体から他方の積層体へ通過して第1の読出線にまで達することが阻止できる。整流素子としては、ショットキーダイオード、PN接合型ダイオード、バイポーラトランジスタ、またはMOSトランジスタが好適である。

さらに、本発明の磁気メモリデバイスでは、第1および第2の整流素子が設けられた基体の上に、第2の積層体と、環状磁性層と、第1の積層体とが順に配設され、第1および第2の整流素子と第1および第2の積層体とがそれぞれ電氣的に接続されていることが望ましい。この場合、整流素子としてバイポーラトランジスタを用い、このバイポーラトランジスタにおけるエミッタと磁気抵抗効果素子とが電氣的に接続するようにすることが可能である。あるいは、整流素子とし

てMOSトランジスタを用い、このMOSトランジスタにおけるソースと磁気抵抗効果素子とが電氣的に接続されるようにしてもよいし、整流素子をショットキーダイオードとし、基板側から順にエピタキシャル層と金属層とを有し、これらのエピタキシャル層と金属層との間にショットキー障壁を形成するようにしてもよい。

本発明の磁気メモリデバイスの製造方法では、積層パターン形成工程において、第2の書込線をマスクとして第2の絶縁膜および第1の書込線を選択的にエッチングすることにより、積層パターンを自己整合的に形成することが望ましい。これによりアライメント精度の高い加工が可能となり、さらに、製造工程全体として簡略化を図ることができる。

#### 図面の簡単な説明

第1図は、本発明の第1の実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

第2図は、第1図に示した磁気メモリデバイスの書込線の構成を示す平面図である。

第3図は、第1図に示した磁気メモリデバイスの記憶セル群の要部構成を示す部分平面図である。

第4図は、第1図に示した磁気メモリデバイスの記憶セル群の要部構成を示す要部斜視図である。

第5図は、第3図に示した記憶セルのV-V線に沿った切断面の構成を示す断面図である。

第6図は、第1図に示した磁気メモリデバイスの記憶セル群の要部構成を示す他の部分平面図である。

第7図は、第6図に示した記憶セルのVII-VII線に沿った切断面の構成を示す断面図である。

第8図は、第1図に示した磁気メモリデバイスの回路構成を示す回路図である。

第9A図および第9B図は、第5図に示した記憶セルの断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表す説明図である。



第 1 0 A 図および第 1 0 B 図は、第 8 図に示した回路構成における部分拡大図である。

第 1 1 図は、第 1 図に示した磁気メモリデバイスの製造方法における一工程を表す拡大断面図である。

第 1 2 図は、第 1 1 図に続く一工程を表す拡大断面図である。

第 1 3 図は、第 1 2 図に続く一工程を表す拡大断面図である。

第 1 4 図は、第 1 3 図に続く一工程を表す拡大断面図である。

第 1 5 図は、第 1 4 図に続く一工程を表す拡大断面図である。

第 1 6 図は、第 1 5 図に続く一工程を表す拡大断面図である。

第 1 7 図は、第 1 6 図に続く一工程を表す拡大断面図である。

第 1 8 図は、第 1 7 図に続く一工程を表す拡大断面図である。

第 1 9 図は、第 1 8 図に続く一工程を表す拡大断面図である。

第 2 0 図は、第 1 9 図に続く一工程を表す拡大断面図である。

第 2 1 図は、第 2 0 図に続く一工程を表す拡大断面図である。

第 2 2 図は、第 2 1 図に続く一工程を表す拡大断面図である。

第 2 3 図は、第 2 2 図に続く一工程を表す拡大断面図である。

第 2 4 図は、第 2 3 図に続く一工程を表す拡大断面図である。

第 2 5 図は、第 2 4 図に続く一工程を表す拡大断面図である。

第 2 6 図は、第 2 5 図に続く一工程を表す拡大断面図である。

第 2 7 図は、第 2 6 図に続く一工程を表す拡大断面図である。

第 2 8 図は、第 2 7 図に続く一工程を表す拡大断面図である。

第 2 9 図は、第 2 8 図に続く一工程を表す拡大断面図である。

第 3 0 図は、第 2 9 図に続く一工程を表す拡大断面図である。

第 3 1 図は、本発明の第 2 の実施の形態に係る磁気メモリデバイスにおける磁気記憶セルの断面図である。

第 3 2 図は、第 3 1 図に示した磁気メモリデバイスの記憶セル群における要部構成を示す要部斜視図である。

第 3 3 図は、第 3 1 図に示した磁気メモリデバイスの記憶セル群における要部構成を示す部分平面図である。

第 3 4 図は、第 3 3 図に示した記憶セルの XXXIV - XXXIV 線に沿った切断面の構成を示す断面図である。

第 3 5 A 図および第 3 5 B 図は、第 3 1 図に示した記憶セルの断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表す説明図である。

第 3 6 A 図および第 3 6 B 図は、本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける要部構成を表す断面図である。

第 3 7 A 図および第 3 7 B 図は、本発明の第 1 および第 2 の実施の形態に係る磁気メモリデバイスにおける変形例（変形例 1, 2）の要部構成を表す断面図である。

第 3 8 A 図および第 3 8 B 図は、本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける変形例（変形例 3, 4）の要部構成を表す断面図である。

第 3 9 A 図および第 3 9 B 図は、本発明の第 3 および第 4 の実施の形態に係る磁気メモリデバイスにおける他の変形例（変形例 5, 6）の要部構成を表す断面図である。

第 4 0 A 図および第 4 0 B 図は、本発明の第 1 および第 2 の実施の形態に係る磁気メモリデバイスにおける他の変形例（変形例 7, 8）の要部構成を表す断面図である。

第 4 1 図は、第 8 図に示した回路構成における整流素子の変形例を表す部分拡大図である。

第 4 2 図は、第 4 1 図に示した整流素子の変形例における断面構成を示す部分断面図である。

第 4 3 図は、第 4 1 図に示した整流素子の変形例における全体の回路構成を示す回路図である。

第 4 4 図は、第 8 図に示した回路構成における整流素子の他の変形例を表す部分拡大図である。

第 4 5 図は、第 4 4 図に示した整流素子の他の変形例における全体の回路構成を示す回路図である。

第 4 6 図は、第 8 図に示した回路構成に対応する比較例としての回路構成を示

す回路図である。

第 4 7 図は、第 3 8 A 図および第 3 8 B 図に示した回路構成に対応する磁気メモリデバイスの要部構成を説明するための断面図である。

第 4 8 図は、従来例としての磁気メモリデバイスの構成を説明するための平面図である。

第 4 9 図は、従来例としての磁気メモリデバイスの要部構成を説明するための断面図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。

##### [第 1 の実施の形態]

まず、第 1 図～第 7 図を参照して第 1 の実施の形態に係る磁気メモリデバイスの構成について説明する。

第 1 図は、本実施の形態における磁気メモリデバイスの全体構成を表す概念図である。磁気メモリデバイスは、アドレスバッファ 5 1 と、データバッファ 5 2 と、制御ロジック部 5 3 と、記憶セル群 5 4 と、第 1 の駆動制御回路部 5 6 と、第 2 の駆動制御回路部 5 8 と、外部アドレス入力端子 A 0 ～ A 2 0 と、外部データ端子 D 0 ～ D 7 とを備えている。

記憶セル群 5 4 は、一対のトンネル磁気抵抗効果素子（以下、TMR 素子という。）を備えた記憶セル 1 が、互いに直交するワード線方向（X 方向）およびビット線方向（Y 方向）に多数、配列されたマトリックス構造を有している。記憶セル 1 は、磁気メモリデバイスにおいてデータを記憶する最小単位であって、本発明における「磁気記憶セル」に対応する一具体例である。記憶セル 1 については後に詳述する。

第 1 の駆動制御回路部 5 6 は、Y 方向におけるアドレスデコーダ回路 5 6 A、センスアンプ回路 5 6 B およびカレントドライブ回路 5 6 C を有し、第 2 の駆動制御回路部 5 8 は、X 方向におけるアドレスデコーダ回路 5 8 A、定電流回路 5 8 B およびカレントドライブ回路 5 8 C を有するものである。

アドレスデコーダ回路 5 6 A、5 8 A は、入力されたアドレス信号に応じた後

出のワードデコード線 7 2 およびビットデコード線 7 1 を選択するものである。センスアンプ回路 5 6 B および定電流回路 5 8 B は読出動作を行う際に駆動する回路であり、カレントドライブ回路 5 6 C, 5 8 C は書込動作を行う際に駆動する回路である。

センスアンプ回路 5 6 B と記憶セル群 5 4 とは、読出動作の際にセンス電流が流れる複数のビットデコード線 7 1 (後出) によって接続されている。同様に、定電流回路 5 8 B と、記憶セル群 5 4 とは、読出動作の際にセンス電流が流れる複数のワードデコード線 7 2 (後出) によって接続されている。

カレントドライブ回路 5 6 C と記憶セル群 5 4 とは、書込動作の際に必要な書込ビット線 5 (後出) を介して接続されている。同様に、カレントドライブ回路 5 8 C と記憶セル群 5 4 とは、書込動作の際に必要な書込ワード線 6 (後出) を介して接続されている。

アドレスバッファ 5 1 は、外部アドレス入力端子 A 0 ~ A 2 0 を備えると共に、Y 方向アドレス線 5 7, X 方向アドレス線 5 5 を介して第 1 の駆動制御回路部 5 6 内の Y 方向アドレスデコーダ回路 5 6 A, 第 2 の駆動制御回路部 5 8 内の X 方向アドレスデコーダ回路 5 8 A に接続されている。このアドレスバッファ 5 1 は、外部からのアドレス信号を外部アドレス入力端子 A 0 ~ A 2 0 から取り込み、内部に備えたバッファ増幅器 (図示せず) により Y 方向アドレスデコーダ回路 5 6 A, X 方向アドレスデコーダ回路 5 8 B において必要となる電圧レベルまで増幅するものである。さらに、アドレスバッファ 5 1 は、その増幅したアドレス信号を 2 つに分け、Y 方向アドレス線 5 7 を介して Y 方向アドレスデコーダ回路 5 6 A に出力すると共に、X 方向アドレス線 5 5 を介して X 方向アドレスデコーダ回路 5 8 A に出力するように機能する。

データバッファ 5 2 は、入力バッファ 5 2 A および出力バッファ 5 2 B によって構成され、外部データ端子 D 0 ~ D 7 を備えると共に制御ロジック部 5 3 と接続されており、制御ロジック部 5 3 からの出力制御信号 5 3 A によって動作するようになっている。入力バッファ 5 2 A は、Y 方向および X 方向書込用データバス 6 1, 6 0 を介してそれぞれ第 1 の駆動制御回路部 5 6 内の Y 方向カレントドライブ回路 5 6 C, 第 2 の駆動制御回路部 5 8 内の X 方向カレントドライブ回路

58Cに接続されており、記憶セル群54への書込動作を行う際には、外部データ端子D0～D7の信号電圧を取り込んで、内部バッファ増幅器（図示せず）により必要となる電圧レベルまで増幅したのち、X方向書込用データバス60およびY方向書込用データバス61を介してX方向カレントドライブ回路58C、Y方向カレントドライブ回路56Cに伝達するように機能する。出力バッファ52Bは、Y方向読出用データバス62を介してセンスアンプ回路56Bに接続されており、記憶セル群54に記憶された情報信号を読み出す際には、内部に備えたバッファ増幅器（図示せず）によって、センスアンプ回路56Bから入力される情報信号を増幅したのち、外部データ端子D0～D7に低インピーダンスで出力するように機能する。

制御ロジック部53は、チップセレクト端子CSおよびライトイネーブル端子WEを備え、データバッファ52に接続されている。この制御ロジック部53は、複数の記憶セル群54のなかから読出および書込対象とするものを選択するチップセレクト端子CSからの信号電圧と、書込許可信号を出力するように機能するライトイネーブル端子WEからの信号電圧とを取り込み、データバッファ52に向けて出力制御信号53Aを出力するように機能する。

次に、本実施の形態の磁気メモリデバイスにおける情報書込動作に係わる構成について説明する。

第2図は、記憶セル群54における書込動作に係わる要部平面構成を表す概念図である。第2図に示したように、本実施の形態の磁気メモリデバイスは、複数の書込ビット線5と、この複数の書込ビット線5とそれぞれ交差するように延びる複数の書込ワード線6とを含んでおり、書込ビット線5および書込ワード線6の交差する各領域に、これら書込ビット線5および書込ワード線6が互いに平行に延在する平行部分10を有するように構成されている。具体的には、第2図に示したように、書込ワード線6が矩形波状にX方向に沿って延在する一方で、書込ビット線5が直線状にY方向に沿って延在している。書込ワード線6における矩形波状の立ち上がり部分および立ち下がり部分が、書込ビット線5と共に複数の平行部分10を形成している。記憶セル1は、それぞれの平行部分10の少なくとも一部を囲むように、書込ビット線5と書込ワード線6との交差する各領域

に設けられている。ここで、交差する領域に記憶セル 1 が設けられているということは、交差点の隣に記憶セル 1 が設けられている場合も含んでいる。各記憶セル 1 は、それぞれ TMR 素子 1 a および TMR 素子 1 b によって構成されている。ここで、TMR 素子 1 a および TMR 素子 1 b が、本発明の「一对の磁気抵抗効果素子」に対応する一具体例である。

書込ビット線 5 および書込ワード線 6 には、それぞれ X 方向カレントドライブ回路 5 8 C, Y 方向カレントドライブ回路 5 6 C からの電流が流れるようになっている。ここで、書込ビット線 5 を流れる電流が、例えば、第 2 図に矢印で示したように -Y 方向（紙面上から下）となるようにした場合には、書込ワード線 6 を流れる電流の方向を全体として +X 方向（紙面左から右）とすることが望ましい。こうすることにより、TMR 素子 1 a, 1 b を通過する書込ビット線 5 および書込ワード線 6 の電流方向が、互いに平行（同一方向）となるからである。

第 3 図は、記憶セル群 5 4 の要部平面構成をより具体的に表すものである。第 3 図に示した書込ビット線 5、書込ワード線 6 および記憶セル 1 は、第 2 図と対応するものである。記憶セル 1 は、Y 方向に沿った書込ビット線 5 と書込ワード線 6 との平行部分 1 0 に配置されている。記憶セル 1 を構成する一对の TMR 素子 1 a, 1 b は、それぞれ感磁層を含む積層体 S 2 0 (S 2 0 a, S 2 0 b) と環状磁性層 4 とを備えており、平行部分 1 0 における書込ビット線 5 および書込ワード線 6 の双方を流れる電流により生ずる磁界（すなわち、環状磁性層 4 においては外部磁界）によって感磁層の磁化方向が変化している。この場合、平行部分 1 0 における書込ビット線 5 と書込ワード線 6 とは X Y 平面においてほぼ一致した位置に設けられているが、Z 方向においては一定の間隔を有するように配置されており、互いに電氣的に絶縁されている。

各書込ビット線 5 の両端には、それぞれ書込ビット線引出電極 4 2 が設けられている。各書込ビット線引出電極 4 2 は、それぞれ一方が Y 方向カレントドライブ回路 5 6 C に接続され、他方が最終的に接地されるように接続されている。同様に、各書込ワード線 6 の両端には、それぞれ書込ワード線引出電極 4 1 が設けられている。各書込ワード線引出電極 4 1 は、それぞれ一方が X 方向カレントドライブ回路 5 8 C に接続され、他方が最終的に接地されるように接続されている。

第4図は、記憶セル1の拡大斜視図である。第1の書込線としての書込ワード線6と第2の書込線としての書込ビット線5とは、互いに平行に延びて環状磁性層4を貫いている。書込ワード線6、書込ビット線5および環状磁性層4は、絶縁膜7を介して互いに電氣的に絶縁されている。積層部分20aおよび積層部分20bは、互いの積層面が対向するように環状磁性層4の表面に配置されている。これら一対の積層部分20a、20bを含む一対の積層体S20a、S20bは、それぞれ導電層36a、36b（後出）と電氣的に接続されている。一対の導電層36a、36bは一対のショットキーダイオード75a、75b（後出）の一部を構成するものであり、このショットキーダイオード75a、75bの他端はY方向に延在する読出ビット線33a、33b（図示せず）と接続されている。

第5図は、第3図に示した記憶セル1の、V-V切断線の矢視方向における断面構成を表すものである。なお、後述する本実施の形態の変形例としての記憶セル1Hと区別するため、ここでは、記憶セル1Pと表示する。

第5図に示したように、記憶セル1Pは、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いに積層面が対向するように配置された積層体S20a、S20bと、これら積層体S20aと積層体S20bとの間に、積層面に沿った方向を軸方向とするように共通に配設されると共に、軸方向に沿って書込ワード線6および書込ビット線5によって貫かれるように構成された環状磁性層4とを含んで構成されている。積層体S20aは、環状磁性層4と共にTMR素子1aを構成し、積層体S20bは、環状磁性層4と共にTMR素子1bを構成している。記憶セル1Pでは、書込ワード線6および書込ビット線5が、環状磁性層4を貫く領域において積層体S20aと積層体S20bとを通る直線方向において互いに隣り合うように配列されている。ここで、積層体S20aが本発明における「第1の積層体」に対応する一具体例であり、一方の積層体S20bが本発明における「第2の積層体」に対応する一具体例である。

感磁層は、環状磁性層4のうちの一部分を構成している一対の接続部分14a、14bと、後述する一対の第2磁性層8a、8bとによって構成され、一対の接続部分14a、14bと一対の第2磁性層8a、8bとはそれぞれ互いに磁氣的

に交換結合するようになっている。ここで、接続部分 14 a, 14 b が本発明における「第 1 の感磁部分」に対応する一具体例であり、一方の第 2 磁性層 8 a, 8 b が本発明における「第 2 の感磁部分」に対応する一具体例である。

積層体 S 20 a, S 20 b は、それぞれ積層部分 20 a, 20 b と接続部分 14 a, 14 b とによって構成されている。環状磁性層 4 (接続部分 14 a, 14 b) の側から順に、第 2 磁性層 8 a, 8 b と、トンネルバリア層 3 a, 3 b と、磁化方向の固定された第 1 磁性層 2 a, 2 b とを含み、積層面に垂直な方向に電流が流れるように構成されている。上述したように、第 2 磁性層 8 a, 8 b は環状磁性層 4 の一对の接続部分 14 a, 14 b とともに感磁層として機能する。ここで、トンネルバリア層 3 が本発明における「非磁性層」に対応する一具体例である。なお、第 5 図では、積層体 S 20 a, S 20 b の構成を明らかにするため、積層体 S 20 a, S 20 b の寸法を周囲よりも相対的に大きく誇張して表している。

積層体 S 20 a, S 20 b は、第 1 磁性層 2 a, 2 b と第 2 磁性層 8 a, 8 b との間において積層面に垂直方向の電圧を印加すると、例えば第 1 磁性層 2 a, 2 b の電子がトンネルバリア層 3 a, 3 b を突き抜けて第 2 磁性層 8 a, 8 b に移動してトンネル電流が流れるようになっている。このトンネル電流は、トンネルバリア層 3 a, 3 b との界面部分における第 1 磁性層 2 a, 2 b のスピンと第 2 磁性層 8 a, 8 b のスピンの相対的な角度によって変化する。すなわち、第 1 磁性層 2 a, 2 b のスピンと第 2 磁性層 8 a, 8 b のスピンの相対的な角度が互いに平行な場合に抵抗値が最小となり、反平行のときに抵抗値が最大となる。これらの抵抗値を用いて、磁気抵抗変化率 (MR 比) が、式 1 のように定義される。

(式 1)

$$(MR \text{ 比}) = dR / R$$

ここで、「dR」が、スピンが互いに平行である場合と反平行である場合との抵抗値の差であり、「R」が、スピンが互いに平行である場合における抵抗値である。

トンネル電流に対する抵抗値 (以下、トンネル抵抗  $R_t$  という。) は、トンネルバリア層 3 a, 3 b の膜厚  $T$  に強く依存する。トンネル抵抗  $R_t$  は、低電圧領



域では、式 2 に示したように、トンネルバリア層 3 a, 3 b の膜厚 T に対して指数関数的に増加する。

(式 2)

$$R_t \propto \exp(2\chi^T), \quad \chi = \{8\pi^2 m^* (\phi \cdot E_f)^{0.5}\} / h$$

ここで、「 $\phi$ 」はバリア高さ、「 $m^*$ 」は電子の有効質量、「 $E_f$ 」はフェルミエネルギー、 $h$  はプランク定数を表す。一般的に、TMR 素子を用いたメモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗  $R_t$  は、数  $10 \text{ k}\Omega \cdot (\mu\text{m})^2$  程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速化を図るためには、トンネル抵抗  $R_t$  は、 $10 \text{ k}\Omega \cdot (\mu\text{m})^2$  以下、さらに好ましくは  $1 \text{ k}\Omega \cdot (\mu\text{m})^2$  以下とすることが好ましい。したがって、上記のトンネル抵抗  $R_t$  を実現するために、トンネルバリア層 3 a, 3 b の厚み T を  $2 \text{ nm}$  以下、さらに好ましくは  $1.5 \text{ nm}$  以下とすることが望ましい。

トンネルバリア層 3 a, 3 b の厚み T を薄くすることにより、トンネル抵抗  $R_t$  を低減することができる一方で、第 1 磁性層 2 a, 2 b および第 2 磁性層 8 a, 8 b との接合界面の凹凸に起因するリーク電流が生じるので MR 比が低下してしまう。これを防止するため、トンネルバリア層 3 a, 3 b の厚み T は、リーク電流が流れない程度の厚みを有する必要がある、具体的には  $0.3 \text{ nm}$  以上の厚みであることが望ましい。

第 5 図に示した積層体 S 20 a, S 20 b は、保磁力差型構造を有し、第 1 磁性層 2 a, 2 b の保磁力のほうが、第 2 磁性層 8 a, 8 b の保磁力よりも大きくなるように構成されていることが望ましい。具体的には、第 1 磁性層 2 a, 2 b の保磁力は、 $(50/4\pi) \times 10^3 \text{ A/m}$  よりも大きいことが望ましく、特に  $(100/4\pi) \times 10^3 \text{ A/m}$  以上であることが望ましい。こうすることにより、第 1 磁性層 2 a, 2 b における磁化方向が外部擾乱磁界等の不要な磁界の影響を受けるのを防止することができる。第 1 磁性層 2 a, 2 b は、例えば、 $5 \text{ nm}$  の厚みのコバルト鉄合金 (CoFe) からなる。他に、単体のコバルト (Co) や、コバルト白金合金 (CoPt)、ニッケル鉄コバルト合金 (NiFeCo) 等を第 1 磁性層 2 a, 2 b に適用することが可能である。第 2 磁性層 8 a,

8 bは、例えば、単体のコバルト (C o)、コバルト鉄合金 (C o F e)、コバルト白金合金 (C o P t)、ニッケル鉄合金 (N i F e) あるいはニッケル鉄コバルト合金 (N i F e C o) から構成される。また、第1磁性層 2 a, 2 bおよび第2磁性層 8 a, 8 bの磁化容易軸は、第1磁性層 2 a, 2 bと第2磁性層 8 a, 8 bとの磁化方向が互いに平行または反平行となる状態で安定化するようにするため、平行であることが望ましい。

環状磁性層 4は、書込ビット線 5 および書込ワード線 6 における平行部分 1 0の少なくとも一部を環状に取り囲むように延在しており、この平行部分 1 0を流れる電流によって環状磁性層 4 内部に還流磁界が生ずるように構成されている。上記還流磁界によって環状磁性層 4 の磁化方向が反転される。環状磁性層 4 の接続部分 1 4 a, 1 4 b およびこれに隣接する第2磁性層 8 a, 8 bが、情報を記憶する記憶層として機能する。環状磁性層 4は、例えば、ニッケル鉄合金 (N i F e) からなり、その接続部分 1 4 a, 1 4 bの保磁力が、 $(100/4\pi) \times 10^3 \text{ A/m}$ 以下の範囲内において第1磁性層 2 a, 2 bの保磁力よりも小さくなるように構成されていることが望ましい。 $(100/4\pi) \times 10^3 \text{ A/m}$ を越えるような保磁力では、書込電流の増大に起因する発熱により、TMR膜 2 0 a, 2 0 b 自体の劣化が生じてしまう可能性があるからである。さらに、接続部分 1 4 a, 1 4 bの保磁力が第1磁性層 2 a, 2 bの保磁力と同等以上となると、書込電流が増大して磁化固定層としての第1磁性層 2 a, 2 bの磁化方向を変化させてしまい、記憶素子としてのTMR素子 1 a, 1 bを破壊してしまうからである。また、書込ビット線 5 および書込ワード線 6 による電流磁界を環状磁性層 4 に集中させるために、環状磁性層 4 の透磁率はより大きい方が好ましい。具体的には、2000以上であり、より好ましくは6000以上である。

書込ビット線 5 および書込ワード線 6 は、いずれも、10 nm厚のチタン (T i) と、10 nm厚の窒化チタン (T i N) と500 nm厚のアルミニウム (A l) とが順に積層された構造を有し、絶縁膜 7 によって、互いに電氣的に絶縁されている。書込ビット線 5 および書込ワード線 6 は、例えば、アルミニウム (A l)、銅 (C u) およびタングステン (W) のうちの少なくとも1種からなるようにしてもよい。これら書込ビット線 5 および書込ワード線 6 を用いた記憶セル

1に対するより具体的な書込動作については後述する。

次に、情報読出動作に係わる構成について説明する。第6図は、記憶セル群54における読出動作に係わる要部平面構成を表し、第3図に対応するものである。

第6図に示したように、各記憶セル1は、XY平面における複数の読出ワード線32と複数の読出ビット線33との各交差点に1つずつ配設されている。具体的には、読出ビット線33は一对の読出ビット線33a, 33bからなり、この読出ビット線33aと読出ビット線33bとの間の領域のうち、読出ワード線32と交差する領域に記憶セル1が設けられている。ここで、一对の読出ビット線33a, 33bは、一对のショットキーダイオード75a, 75b（後出）を介して一对の積層部分20a, 20bと電氣的に接続している。一方の読出ワード線32は、接続層などを介して記憶セル1の環状磁性層4と電氣的に接続している。一对の読出ビット線33a, 33bは、各記憶セル1における一对のTMR素子1a, 1bの各々に読出電流を供給するものであり、一方の読出ワード線32は、TMR素子1a, 1bの各々に流れた読出電流を接地へと導くものである。各読出ビット線33a, 33bの両端には、それぞれ読出ビット線引出電極44a, 44bが設けられている。一方、各読出ワード線32の両端には、それぞれ読出ワード線引出電極43が設けられている。ここで、読出ビット線33が本発明の「第1の読出線」に対応する一具体例であり、読出ワード線32が本発明の「第2の読出線」に対応する一具体例である。

第7図は、第6図に示したVII-VII切断線における矢視方向の断面構成を表すものである。第7図に示したように、本実施の形態の磁気メモリデバイスは、記憶セル1を含む領域において、整流素子として機能する一对のショットキーダイオード75a, 75b（以下、単にダイオード75a, 75bという。）が設けられた基体31の上に、一对の積層部分20a, 20bと、環状磁性層4とが順に形成されるように構成されている。ここで、ダイオード75aが本発明の「第1の整流素子」に対応する一具体例であり、一方のダイオード75bが本発明の「第2の整流素子」に対応する一具体例である。

一对のダイオード75a, 75bは、記憶セル1の側から順に導電層36a, 36bとエピタキシャル層37と基板38とを有し、これら導電層36a, 36

bとエピタキシャル層37との間にショットキー障壁を形成している。ダイオード75aとダイオード75bとは、積層部分20a, 20bを挟んで環状磁性層4と接続しているほかは互いに電氣的な接続部分をもたないように構成されている。基板38はn型シリコンウェハである。一般に、n型シリコンウェハには燐(P)の不純物拡散が施されており、基板38としては、燐の高濃度拡散により $n^{++}$ 型となっているものを用いる。これに対し、エピタキシャル層37は、燐が低濃度拡散されて $n^{-}$ 型となるようにする。この $n^{-}$ 型半導体であるエピタキシャル層37と金属からなる導電層36a, 36bとを接触させることにより、バンドギャップが生じ、ショットキー障壁が形成される。さらに、一対のダイオード75a, 75bは、それぞれ接続層33Tを介して読出ビット線33a, 33bと接続されている。

次に、第8図を参照して、本実施の形態の磁気メモリデバイスにおける読出動作に係わる回路構成について説明する。

第8図は、記憶セル群54とその読出回路からなる回路系の構成図である。この読出回路系は、記憶セル1が一対のTMR素子1a, 1bからなる差動増幅型である。ここでは、各記憶セル1の情報の読み出しを、TMR素子1a, 1bにおける積層体S20a, S20bそれぞれに流す読出電流（読出ビット線33a, 33bから積層体S20a, S20bのそれぞれに流入し、共通の読出ワード線32に流出する電流）の差分値を出力として行うようになっている。

第8図において、記憶セル群54のビット列ごとの記憶セル1と、センスアンプ回路56Bを含む読出回路の一部とが、読出回路の繰り返し単位である単位読出回路80（…, 80n, 80n+1, …）を構成しており、ビット列方向に並列に配置されている。単位読出回路80nの各々は、Y方向アドレスデコード回路56Aにビットデコード線71（…, 71n, 71n+1, …）を介して接続され、出力バッファ52BにY方向読出用データバス62を介して接続されている。

記憶セル群54には、X方向に延びる読出ワード線32（…, 32m, 32m+1, …）と、Y方向に延びる一対の読出ビット線33a, 33bとによりマトリクス状の配線がなされている。各記憶セル1は、一対の読出ビット線33a,

3 3 b に挟まれた領域のうちの読出ワード線 3 2 との交差位置に配設されている。各記憶セル 1 における積層体 S 2 0 a, S 2 0 b のそれぞれの一端が、1 対のダイオード 7 5 a, 7 5 b を介して読出ビット線 3 3 a, 3 3 b に接続され、それぞれの他端が共通の読出ワード線 3 2 に接続される。

各読出ワード線 3 2 の一端は、それぞれ読出ワード線引出電極 4 3 を介して各読出スイッチ 8 3 (… , 8 3 m, 8 3 m + 1, …) と接続され、さらに、共通の定電流回路 5 8 B に接続されている。各読出スイッチ 8 3 は、X 方向アドレスデコード回路 5 8 A とそれぞれワードデコード線 7 2 (… , 7 2 m, 7 2 m + 1, …) を介して接続されており、X 方向アドレスデコード回路 5 8 A からの選択信号が入力されると導通するように構成されている。定電流回路 5 8 B は、読出ワード線 3 2 を流れる電流を一定とする機能を有するものである。

各読出ビット線 3 3 a, 3 3 b の一端は、読出ビット線引出電極 4 4 a, 4 4 b を介してそれぞれセンスアンプ回路 5 6 B に接続されており、他端は最終的にそれぞれ接地されている。センスアンプ回路 5 6 B は、単位読出回路 8 0 につき 1 つ設けられ、各単位読出回路 8 0 において一対の読出ビット線 3 3 a, 3 3 b の間の電位差を取り込み、この電位差を増幅する機能を有するものである。各センスアンプ回路 5 6 B は、それぞれ出力線 8 2 (… , 8 2 n, 8 2 n + 1, …) に接続され、最終的には Y 方向読出用データバス 6 2 により、出力バッファ 5 2 B に接続されるようになっている。

次に、本実施の形態の磁気メモリデバイスにおける動作について説明する。

まず、第 2 図および第 9 A 図、第 9 B 図を参照して、記憶セル 1 P における書込動作について説明する。第 9 A 図、第 9 B 図は、第 5 図に示した記憶セル 1 P の断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表すものである。第 9 A 図、第 9 B 図において各磁性層に示した矢印は、その磁性層における磁化方向を示す。但し、環状磁性層 4 については磁界方向も併せて示すものである。ここで、第 1 磁性層 2 a, 2 b は、いずれも - X 方向に磁化が固定されている。

第 9 A 図は、記憶セル 1 を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合を示し、第 2 図に示した

書込電流方向に対応する。第9A図は、記憶セル1Pにおいて紙面に垂直な方向に奥から手前へ向かって（ $-Y$ 方向へ）書込電流が流れ、環状磁性層4の内部を反時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14aおよび第2磁性層8aの磁化方向が $-X$ 方向となり、接続部分14bおよび第2磁性層8bの磁化方向が $+X$ 方向となる。一方、第9B図は、書込ビット線5および書込ワード線6を流れる電流方向が第9A図に示した状態とは全く逆の電流方向とした場合に対応する。すなわち、第9B図は、記憶セル1Pにおいて紙面に垂直な方向に手前から奥へ向かって（ $+Y$ 方向へ）書込電流が流れ、環状磁性層4の内部を時計回り方向に還流磁界34が発生する場合を示している。この場合は、接続部分14aおよび第2磁性層8aの磁化方向が $+X$ 方向となり、接続部分14bおよび第2磁性層8bの磁化方向が $-X$ 方向となる。

第9A図、第9B図から明らかなように、環状磁性層4を貫く書込ビット線5および書込ワード線6の双方を流れる電流により生ずる還流磁界34の方向に従い、一对のTMR素子1a、1bにおける第2磁性層8a、8bの磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル1に情報を記憶することができる。

すなわち、書込ビット線5および書込ワード線6に、同一方向に電流が流れると、環状磁性層4の磁化方向が反転するのに伴って第2磁性層8の磁化方向が変化し、「0」または「1」の2値情報を記憶することができるのである。例えば、第9A図の状態、すなわち、一对の第2磁性層8の一方である第2磁性層8aが $-X$ 方向に磁化し、他方の第2磁性層8bが $+X$ 方向に磁化する状態に「0」を対応させた場合には、第9B図の状態、すなわち、第2磁性層8aが $+X$ 方向に磁化し、他方の第2磁性層8bが $-X$ 方向に磁化する状態に「1」を対応させて記憶することができる。ここで、 $-X$ 方向が、本発明における「第1の方向」に対応する一具体例であり、 $+X$ 方向が、本発明における「第2の方向」に対応する一具体例である。したがって、第9A図の状態が、本発明における「第1の状態」に対応する一具体例であり、第9B図の状態が、本発明における「第2の状態」に対応する一具体例である。

この場合、TMR素子1a、1bにおいては、第1磁性層2a、2bと第2磁

性層 8 a, 8 b との磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす TMR 素子 1 a および TMR 素子 1 b は、必ず一方が低抵抗であり、他方が高抵抗となって情報を記憶するようになっている。なお、書込ビット線 5 と書込ワード線 6 とで互いに逆方向に書込電流が流れた場合、あるいは、どちらか一方のみに書込電流が流れた場合には各第 2 磁性層 8 の磁化方向は反転せず、データの書き換えは行われなくなっている。

以上のように、本実施の形態の磁気メモリデバイスにおける記憶セル 1 によれば、書込ビット線 5 と書込ワード線 6 との双方に同一方向の電流を流すことにより、書込ビット線 5 によって生じる電流磁界と書込ワード線 6 によって生じる電流磁界とが環状磁性層 4 の内部において同一方向となり、合成磁界を形成することができる。このため、環状磁性層 4 を設けない場合や、書込ビット線 5 と書込ワード線 6 とが直交する場合などと比べて大きな磁束密度が得られるので、より効率的に電流磁界を利用することができ、環状磁性層 4 の接続部分 1 4 a, 1 4 b および第 2 磁性層 8 a, 8 b の磁化を反転させるために必要な電流をより小さくすることができる。さらに、記憶セル 1 において、一对の積層体 S 2 0 a, S 2 0 b を、互いに積層面が対向するように配置したので、接続部分 1 4 a および第 2 磁性層 8 a における磁化方向と、接続部分 1 4 b および第 2 磁性層 8 b における磁化方向とが、必然的に互いに反平行となる。よって、これを利用することにより、「0」または「1」の 2 値情報を記憶することができる。また、一对の積層体 S 2 0 a, S 2 0 b に対して環状磁性層 4 を共通に設けるようにしたので、一对の TMR 素子 1 a, 1 b を容易に形成することができると共に、記憶セル 1 の形成領域を縮小でき、記憶情報の大容量化が可能となる。

さらに、トンネルバリア層 3 と環状磁性層 4 の接続部分 1 4 との間に第 2 磁性層 8 を設けるようにしたので、以下のような利点を得られる。すなわち、接続部分 1 4 と第 2 磁性層 8 との交換結合を形成することが可能となり、第 2 の感磁部分としての第 2 磁性層 8 における磁化方向がより良好に揃うことにより、より安定した書込が可能となる。さらに、接続部分 1 4 の保磁力をより小さく抑えることができるので、書込動作時における電流値を低減することにより発熱量を低減

でき、磁気メモリデバイスとしての機能を十分に発揮できる。

次に、第1図、第8図および第10A図および第10B図を参照して、磁気メモリデバイスにおける読出動作について説明する。

まず、第1の駆動制御回路部56におけるアドレスデコーダ回路56Aにより、複数のビットデコード線71のうちの1つが選択され、対応するセンスアンプ回路56Bに制御信号が伝達される。この結果、読出ビット線33a、33bに読出電流が流れ、TMR素子1a、1bにおける積層体S20a、S20bの側に正の電位が与えられる。同様に第2の駆動制御回路部58におけるX方向アドレスデコーダ回路58Aにより、複数のワードデコード線72のうちの1つが選択され、対応する箇所の読出スイッチ83が駆動される。選択された読出スイッチ83は通電状態となり、対応する読出ワード線32に読出電流が流れ、TMR素子1a、1bにおける積層体S20a、S20bとは反対側に負の電位が与えられる。したがって、Y方向アドレスデコーダ回路56AおよびX方向アドレスデコーダ回路58Aによって選択された1つの記憶セル1に対し、読出に必要な読出電流を流すことができる。この読出電流に基づいて、一对の第2磁性層8a、8bの磁化方向を検出し、記憶された情報を読み出すことができる。ここで、読出ビット線33a、33bからの読出電流が一对のダイオード75a、75bを通過した後、記憶セル1に流入するようにすることが重要である。この理由については、後述する。

第10A図、第10B図は、記憶セル1の周辺部を回路図で表したものである。積層体S20a、S20bのそれぞれの第1磁性層2a、2bの磁化方向を白矢印で示し、第2磁性層8a、8bの磁化方向を黒矢印で示している。第1磁性層2a、2bの磁化方向は、いずれも左方向に固定されている。第10A図は、第9A図に対応する状態であり、積層体S20aにおいて第1磁性層2aと第2磁性層8aとが平行な磁化方向となり、一方の積層体S20bにおいて第1磁性層2bと第2磁性層8bとが反平行な磁化方向となっている。この場合、積層体S20aが低抵抗状態となり、積層体S20bが高抵抗状態となり、例えば、「0」に対応している。一方、第9B図に対応する状態である第10B図の場合には、第10A図の場合とは反対に積層体S20aが高抵抗状態となり、積層体



S 2 0 b が低抵抗状態となっており、例えば、「1」に対応している。このような2値情報は、積層体 S 2 0 a と積層体 S 2 0 b との抵抗値の大小を利用し、それぞれに流れる電流値の差分を検出することによって読み出すことができる。

ここで、本実施の形態の磁気メモリデバイスの読出動作時の作用について、比較例と対比して説明する。第46図は、本実施の形態の比較例としての記憶セル 5 0 1 を含む記憶セル群とその読出回路からなる回路系の構成図である。第47図は、記憶セル 5 0 1 の断面構成を表すものである。

第46図および第47図に示した比較例は、一对の積層体 S 2 0 a, S 2 0 b に対して、センスアンプ回路 5 6 B とは反対側に1個のダイオード 1 7 5 を設けるようにした構成例である。第47図に示したように、記憶セル 5 0 1 は、基体 1 3 1 に埋設されたダイオード 1 7 5 の上に形成されると共に、その上面が一对の読出ビット線 3 3 a, 3 3 b と接続されるようになっている。より具体的には、記憶セル 5 0 1 は、接続層 1 3 6 T を介してダイオード 1 7 5 の導電層 1 3 6 と電氣的に接続されるように構成された環状磁性層 4 と、この環状磁性層 4 の表面に対向配置された一对の接続部分 2 0 a, 2 0 b とを有している。この一对の接続部分 2 0 a, 2 0 b が環状磁性層 4 のうちの一部と共に、一对の積層体 S 2 0 a, S 2 0 b を形成しており、この一对の積層体 S 2 0 a, S 2 0 b が一对の読出ビット線 3 3 a, 3 3 b とそれぞれ接続されるようになっている。

ここで、読出スイッチ 8 3 m を選択し記憶セル 5 0 1 m に記憶された情報を読み出そうとした場合、第46図および第47図の比較例では、例えば記憶セル 5 0 1 m + 1 を通過する経路 L を辿るような読出電流の回り込みが生じる。なお、実線で示した経路 R が正規の電流経路である。具体的には、例えば、センスアンプ回路 5 6 B から読出ビット線 3 3 a へ流入した読出電流が、本来、読出対象として選択されていない記憶セル 5 0 1 m + 1 の積層体 S 2 0 a に流入し、さらに共有する環状磁性層 4 を介して積層体 S 2 0 b を通過する。こののち、読出ビット線 3 3 b をセンスアンプ回路 5 6 B へ向かって逆流することによって 5 0 1 m の積層体 S 2 0 b に向かう読出電流と合流してしまうのである。

これに対し、本実施の形態の磁気メモリデバイスでは、一对のダイオード 7 5 a, 7 5 b が設けられた基体 3 1 の上に、積層体 S 2 0 b と環状磁性層 4 と積層

体S 2 0 a とが順に配設されるようにし、一対の積層体S 2 0 a, S 2 0 bを介して一対のダイオード7 5 a, 7 5 bと環状磁性層4とを電氣的に接続するようにした。これにより、一対の積層体S 2 0 a, S 2 0 bに供給された読出電流の各電流経路上における、一対の読出ビット線3 3 a, 3 3 bと一対の積層体S 2 0 a, S 2 0 bとの間に、一対のダイオード7 5 a, 7 5 bをそれぞれ配置した回路構成とすることができる。よって、読出対象ではない記憶セルからの不要な電流の回り込みを遮断することができる。すなわち、読出信号に対する雑音を低減することができ、安定した磁気情報の読み出しが可能となる。

さらに、本実施の形態の磁気メモリデバイスでは、一対の読出ビット線3 3 a, 3 3 bの各々から第1および第2の積層体S 2 0 a, S 2 0 bの各々に読出電流が供給し、この一対の読出電流値の差分に基づいて磁気記憶セルから情報を読み出すことができる。これにより、読出電流が差動出力されるので、各々の読出ビット線3 3に生ずる雑音や、各TMR素子1 a, 1 bごとの出力値に含まれるオフセット成分が相殺されて除去される。

次に、上記のような構成を有する本実施の形態の磁気メモリデバイスの製造方法について説明する。

本実施の形態の磁気メモリデバイスの製造方法は、ダイオード7 5 a, 7 5 bが設けられた基体3 1の上に、積層体S 2 0 bの一部をなす積層部分2 0 bを形成する工程と、少なくとも積層部分2 0 bを覆うように下部磁性層4 Bを形成し、積層体S 2 0 bの形成を完了する工程と、下部磁性層4 Bの上に、絶縁膜7 Aを介して書込ワード線6を形成する工程と、この書込ワード線6の上に、絶縁膜7 Cを介して書込ビット線5を、書込ワード線6と書込ビット線5とが互いに平行に延在する部分を含むように形成する工程と、書込ビット線5と、絶縁膜7 Cと、書込ワード線6とを順次エッチングしてパターニングすることにより、書込ワード線6と書込ビット線5とが互いに平行に延在する部分を含む積層パターン1 9を形成する積層パターン形成工程と、積層パターン1 9を絶縁膜7 D, 7 Eを介して取り囲むように上部磁性層を設けることにより、環状磁性層4を形成する工程と、環状磁性層4の上の、積層体S 2 0 bに対応する位置に積層部分2 0 aを設けることにより積層体S 2 0 aを形成し、積層体S 2 0 a, S 2 0 bを有する

記憶セル 1 を形成する工程と積層体 S 2 0 a とダイオード 7 5 a とを電氣的に接続する工程とを含むものである。以下、具体的に説明する。

第 1 1 図～第 3 0 図を参照して、磁気メモリデバイスのうちの、主に、記憶セル 1 の製造方法について、詳細に説明する。なお、第 1 1 図～第 3 0 図は、第 7 図に対応した断面図であり、その形成過程を表したものである。

まず、第 1 1 図に示したように、一対のダイオード 7 5 a, 7 5 b を埋設した基板 3 1 を用意し、このダイオード 7 5 b における導電層 3 6 b の上に積層部分 2 0 b を形成する。具体的には、まず、i 線ステッパ等により、積層部分 2 0 b を形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、スパッタ等により全面に亘って、例えば C o F e 層からなる第 1 磁性層 2 b とアルミニウム (A l) 層とを順に形成する。このアルミニウム層を酸化処理することによりトンネルバリア層 3 b を得る。さらに、このトンネルバリア層 3 b の上に、例えば C o F e 層からなる第 2 磁性層 8 b をスパッタ等により形成する。さらに積層部分 2 0 b の加工中における劣化を防止するために、タンタル (T a) 等よりなるキャップ層 (保護層) を設けるようにしてもよい。次いで、レジストパターンをリフトオフすることにより、所定のパターン形状を有する第 1 磁性層 2、トンネルバリア層 3 および第 2 磁性層 8 からなる積層部分 2 0 b を露出させる。

次に、例えば T E O S (正珪酸四エチル;  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) を用いて、C V D (Chemical Vapor Deposition) 装置により全体を覆うように、例えば、酸化シリコン ( $\text{SiO}_2$ ) からなる絶縁膜 1 7 A を形成する。こののち、例えば  $(1/\pi) \times 10^6 \text{ A/m}$  の磁界中で  $250^\circ\text{C}$  の温度下でアニールを行い、第 1 磁性層 2 b の磁化方向を固定する。アニール後、例えば C M P (Chemical Mechanical Polishing) 装置により絶縁膜 1 7 A の表面の平坦化をおこない、積層部分 2 0 b の上面を露出される。さらに、逆スパッタリングなどにより積層部分 2 0 b の上面の不純物を取り除いたのち、少なくとも積層部分 2 0 b の上面を覆うように下部磁性層 4 B を選択的に形成する。これにより、下部磁性層 4 B の一部と積層部分 2 0 b とから構成される積層体 S 2 0 b の形成が一応、完了する。この場合、フォトリソグラフィ法を用いて選択的にレジストフレーム (図示

せず)を形成したのち、スパッタ等により、例えばNiFe層を未保護領域に形成し、さらにレジストフレームを除去する。

下部磁性層4Bを形成したのち、第12図に示したように、CVD装置を用いて全体を覆うように、例えば、SiO<sub>2</sub>からなる絶縁膜7Aを形成する。この絶縁膜7Aが、本発明の「第1の絶縁膜」に対応する一具体例である。

続いて、スパッタ等により絶縁膜7Aの上に、例えばチタン(Ti)からなる金属層(図示せず)を形成する。こののち、第13図に示したように、この金属層上に、少なくとも積層体S20bの形成領域を覆うように選択的に書込ワード線6を形成する。具体的には、絶縁膜7Aの上の金属層に所定形状のレジストパターン(図示せず)を形成した後、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば銅(Cu)からなる書込ワード線6を形成する。レジストパターンを除去したのち、イオンミリングにより不要な金属層を除去する。

次に、第14図に示したように、CVD装置を用いて全体を覆うように、例えばSiO<sub>2</sub>からなる絶縁膜7Bを形成したのち、CMP装置により、最終的に書込ワード線6が露出するまで絶縁膜7Bを研磨し、書込ワード線6および絶縁膜7Bの表面の平坦化をおこなう。ここで絶縁膜7Bが、本発明の「第2の絶縁膜」に対応する一具体例である。

続いて、全体に亘って、例えばSiO<sub>2</sub>からなる絶縁膜7Cを形成したのち、この絶縁膜7Cの上にスパッタ等により、例えばチタンからなる金属層を形成する。こののち、第15図に示したように、この金属層の書込ワード線6に対応する領域を覆うように選択的に書込ビット線5を形成する。具体的には、絶縁膜7Cの上に所定形状のレジストパターン(図示せず)を形成した後、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば銅からなる書込ビット線5を形成する。レジストパターンを除去したのち、イオンミリングにより不要な金属層を除去する。

次に、第16図に示したように、この書込ビット線5をマスクとして、自己整合的に積層パターン19を形成する。具体的には、反応性ガスとしてC<sub>4</sub>F<sub>8</sub>を用いたRIE(反応性イオンエッチング)およびイオンミリングにより、書込ビ

ット線 5 によって保護されていない領域の絶縁膜 7 C、書込ワード線 6 および絶縁膜 7 A を除去することにより積層パターン 1 9 を形成する。ここで、下部磁性層 4 B が露出するまで絶縁膜 7 A を除去することが重要である。

このように、書込ビット線 5 をマスクとして、自己整合的に積層パターン 1 9 を形成することにより、書込ビット線 5 と同じ幅を有する書込ワード線 6 を高精度に形成することができる。さらに、レジストパターンの形成工程およびその除去工程等を省略することができ、製造工程の簡略化を図ることができる。

書込ビット線 5 および書込ワード線 6 の平行部分 1 0 における積層パターン 1 9 を形成したのち、第 1 7 図に示したように、CVD 装置等を用いて全体を覆うように  $\text{SiO}_2$  などからなる絶縁膜 7 D を形成する。

次いで、第 1 8 図に示したように、イオンミリング等により、積層パターン 1 9 の側面部分に接するように形成された部分を除く絶縁膜 7 D を完全に除去したのち、全面に亘って、例えば  $\text{NiFe}$  をスパッタ等により、金属層を薄く形成する。こののち第 1 9 図に示したように、下部磁性層 4 B が形成されていない領域に対応する金属層の上に、フォトリソグラフィ等により、フォトレジスト層 3 0 A を形成する。

フォトレジスト層 3 0 A を形成したのち、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、第 2 0 図に示したように、例えば  $\text{NiFe}$  からなる中間磁性層 4 S を形成する。次いで、フォトレジスト層 3 0 A を除去したのち、イオンミリングにより不要な金属層を除去する。さらに、第 2 1 図に示したように、CVD 装置等により全体を覆うように例えば  $\text{SiO}_2$  からなる絶縁膜 1 7 B を形成したのち、CMP 装置を用いて最終的に書込ビット線 5 が露出するまで研磨し、書込ビット線 5 を含む平坦な面を形成する。

こののち、第 2 2 図に示したように、フォトリソグラフィ等により、書込ビット線 5 の平坦な露出面を覆うように選択的に絶縁膜 7 E を形成する。さらに、例えばスパッタ等により金属層を薄く形成する。こののち第 2 3 図に示したように、絶縁膜 1 7 B に対応する領域の金属層の上に、フォトリソグラフィ等により、フォトレジスト層 3 0 B を形成する。さらに、めっき層に浸漬して金属層を電極として利用しためっき処理を行い、例えば  $\text{NiFe}$  からなる上側磁性層 4 U を形成

する。これにより、下部磁性層 4 B と中間磁性層 4 S と上側磁性層 4 U とからなる環状磁性層 4 の形成が完了する。ここで、中間磁性層 4 S および上側磁性層 4 U が本発明の「上部磁性層」に対応する一具体例である。

次いで、第 24 図に示したように、フォトリジスト層 30 B を除去することにより、環状磁性層 4 の一部をなす上側磁性層 4 U が露出する。続いて、上側磁性層 4 U の上の、積層体 S 20 b に対応する位置に積層部分 20 a を設けることにより積層体 S 20 a を形成する。具体的には、まず、i 線ステッパ等により、積層部分 20 a を形成する領域以外の領域を覆うように、選択的にレジストパターンを形成する。次に、スパッタ等により全面に亘って、例えば CoFe 層からなる第 2 磁性層 8 a とアルミニウム (Al) 層とを順に形成する。このアルミニウム層を酸化処理することによりトンネルバリア層 3 a を得る。さらに、このトンネルバリア層 3 a の上に、例えば CoFe 層からなる第 1 磁性層 2 a をスパッタ等により形成する。こののち、レジストパターンをリフトオフすることにより、所定のパターン形状を有する第 1 磁性層 2 a、トンネルバリア層 3 a および第 2 磁性層 8 a からなる積層部分 20 a を露出させる。これにより、上側磁性層 4 U の一部と積層部分 20 a とから構成される積層体 S 20 a の形成が一応、完了する。

続いて、積層部分 20 a の上に選択的にフォトリジスト層 30 C を形成したのち、第 25 図に示したように、例えば TEOS を用いて、CVD (Chemical Vapor Deposition) 装置により全体を覆うように、例えば、酸化シリコン ( $\text{SiO}_2$ ) からなる絶縁膜 17 C を形成し、さらに、フォトリジスト層 30 C をリフトオフする。

次いで、導電層 36 a と積層体 S 20 a とを電氣的に接続する接続層 36 T を形成するため、第 26 図に示したように、導電層 36 a に対応する領域の一部にビアホール 30 H 1 を形成する。具体的には、i 線ステッパ等により、ビアホール 30 H 1 を形成する領域以外の領域を覆うように選択的にレジストパターンを形成したのち、 $\text{C}_4\text{H}_8$  等の反応ガスを用いた RIE により、積層方向に導電層 36 a に達するまでエッチングを行う。

ビアホール 30 H 1 を形成する際のレジストパターンを除去したのち、第 27

図に示したように、導電層 36 a と積層体 S 20 a とを接続するように銅 (Cu) からなる接続層 36 T を形成する。例えば、絶縁膜 17 C の上に所定形状のフォトリソ層 30 D を選択的に形成したのち、Cu (1) ヘキサフルオロアセチルアセトナト・トリメチルビニルシランを用いて、CVD 装置により接続層 36 T の形成をおこなう。

接続層 36 T を形成したのち、第 28 図に示したように、例えば TEOS を用いて、CVD 装置により、例えば SiO<sub>2</sub> からなる絶縁膜 17 D を全面に亘って形成する。こののち、第 29 図に示したように、上側磁性層 4 U (環状磁性層 4) と読出ワード線 32 とを電氣的に接続する接続層 32 T を形成するため、上側磁性層 4 U に対応する領域の一部にビアホール 30 H 2 を形成する。具体的には、i 線ステッパ等により、ビアホール 30 H 2 を形成する領域以外の領域を覆うように選択的にフォトリソ層 30 E を形成したのち、C<sub>4</sub>H<sub>8</sub> 等の反応ガスを用いた RIE により、積層方向に上側磁性層 4 U に達するまでエッチングを行う。

ビアホール 30 H 2 を形成する際のレジストパターンを除去したのち、第 30 図に示したように、上側磁性層 4 U と読出ワード線 32 とを接続するように銅からなる接続層 32 T と、読出ワード線 32 とを形成する。例えば、Cu (1) ヘキサフルオロアセチルアセトナト・トリメチルビニルシランを用いて、CVD 装置により接続層 32 T および読出ワード線 32 の形成をおこなう。さらに、読出ワード線 32 を覆うように全面に亘って、例えば SiO<sub>2</sub> からなる絶縁膜 17 E を形成する

こののち、書込ワード線 6 の各両端末に書込ワード線引出電極 41 を形成し、書込ビット線 5 の各両端末に書込ビット線引出電極 42 を形成し、読出ワード線 32 の各両端末に読出ワード線引出電極 43 を形成し、さらに読出ビット線 33 a, 33 b の各両端末に読出ビット線引出電極 44 a, 44 b を形成する。

以上により、記憶セル 1 を含む記憶セル群 54 の形成が一応完了する。

こののち、さらに、スパッタ装置や CVD 装置等により SiO<sub>2</sub> または酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>) 等の保護層を形成する工程と、その保護膜を研磨して各引出電極 41 ~ 44 を露出させる工程とを経ることにより、磁気メモリデバイ

スの製造が完了する。

本実施の形態の製造方法によれば、基体 3 1 に埋設されたダイオード 7 5 b の上に積層体 S 2 0 b の一部をなす積層部分 2 0 b を形成し、この積層部分 2 0 b を覆うように環状磁性層 4 を形成したのち、環状磁性層 4 の上の、積層体 S 2 0 b に対応する位置に積層部分 2 0 a を設けることにより積層体 S 2 0 a を形成し、さらにこの積層体 S 2 0 a とダイオード 7 5 a とを電氣的に接続するようにしたので、第 8 図に示した回路構成に対応した磁気メモリデバイスを得ることができる。すなわち、一对の読出ビット線 3 3 a, 3 3 b と一对の積層体 S 2 0 a, S 2 0 b との間にそれぞれダイオード 7 5 a, 7 5 b を形成することができる。このため、センスアンプ回路 5 6 B からの読出電流が、各ダイオード 7 5 a, 7 5 b を介してそれぞれ積層体 S 2 0 a, S 2 0 b を通過したのち、一体となった環状磁性層 4 において合流して読出ワード線 3 2 に流入することが可能であり、正規の電流経路以外への不要な回り込みを回避することができる磁気メモリデバイスが得られる。

また、第 8 図に示した回路構成に対応させるための方法としては、記憶セル 1 を形成した上にダイオード（整流素子）を形成することにより磁気メモリデバイスを形成する方法も考えられるが、この場合にはダイオード（整流素子）を形成する際の熱などにより TMR 素子の積層体が破壊され、その機能を失ってしまうため、実際に形成することは困難である。

加えて、本実施の形態の製造方法によれば、書込ビット線 5 をマスクとして、自己整合的に積層パターン 1 9 を形成するようにしたので、高精度な加工ができると共に、レジストパターンの形成工程およびその除去工程等を省略することができる。全体として製造工程の簡略化を図ることができる。

#### [第 2 の実施の形態]

次に、第 3 1 図～第 3 5 A 図および第 3 5 B 図を参照して、本発明の第 2 の実施の形態の磁気メモリデバイスについて説明する。

第 3 1 図は、本実施の形態の磁気メモリデバイスにおける記憶セル 1 H の断面構成を表すものであり、上記第 1 の実施の形態における第 5 図に対応している。第 3 2 図は、記憶セル 1 H の拡大斜視図であり、第 4 図に対応する。第 3 3 図は、



本変形例の磁気メモリデバイスにおける平面構成をあらわすものであり、第3図に対応する。第31図～第33図では、第3図～第5図に示した構成要素と実質的に同一の部分には同一の符号を付している。

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成について、主に、上記第1の実施の形態と異なる点について説明し、他の説明は適宜省略する。

上記第1の実施の形態の記憶セル1Pでは、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S20aと積層体S20bとを通る直線において互いに隣り合うように配列するようにした。これに対し、本変形例の記憶セル1Hでは第31図、第32図および第34図に示したように、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S20aと積層体S20bとを通る直線と直交する方向において互いに隣り合うように配列するようにした。但し、書込ビット線5と書込ワード線6とは、互いに電氣的に絶縁する必要がある。したがって、第32図に示したように、書込ワード線6は、XY平面内においてだけでなくZ方向にも屈曲している。具体的には、書込ワード線6は、書込ビット線5と共にY方向に沿って環状磁性層4を貫く下部書込ワード線6Bと、書込ビット線5および下部書込ワード線6Bを含むXY平面内とは異なるXY平面内においてX方向に延在する上部書込ワード線6Uと、これら上部および下部書込ワード線6U、6Bを接続する接続部分6Tとから構成されている。なお、この場合、上述したように書込ワード線6を屈曲させるだけでなく、書込ビット線5を屈曲させるようにしてもよい。

記憶セル1Hは、環状磁性層4を貫く書込ワード線6および書込ビット線5の配列方向に対する積層体S20a、S20bの配設位置が異なる点を除き、記憶セル1Pと同様のコンパクトな構成を備えている。したがって、記憶セル1Hでは、記憶セル1Pと同様の書込および読出動作が可能である。

ここで、第2図および第35A図および第35B図を参照して、本実施の形態の記憶セル1Hにおける書込動作について説明する。第35A図および第35B図は、第31図に示した記憶セル1Hの断面構成における書込電流方向と還流磁界方向（磁化方向）との関係を表すものであり、上記第1の実施の形態における

第 9 A 図、第 9 B 図に対応するものである。

第 3 5 A 図は、記憶セル 1 H を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合を示し、第 2 図に示した書込電流方向に対応する。第 2 5 A 図は、記憶セル 1 H において紙面に垂直な方向に奥から手前へ向かって（ $-Y$  方向へ）書込電流が流れ、書込ビット線 5 を取り囲む部分の環状磁性層 4 の内部を反時計回り方向に還流磁界 3 4 が発生する場合を示している。この場合は、接続部分 1 4 a および第 2 磁性層 8 a の磁化方向が  $-X$  方向となり、接続部分 1 4 b および第 2 磁性層 8 b の磁化方向が  $+X$  方向となる。一方、第 3 5 B 図は、記憶セル 1 H において紙面に垂直な方向に手前から奥へ向かって（ $+Y$  方向へ）書込電流が流れ、環状磁性層 4 の内部を時計回り方向に還流磁界 3 4 が発生する場合を示している。この場合は、接続部分 1 4 a および第 2 磁性層 8 a の磁化方向が  $+X$  方向となり、接続部分 1 4 b および第 2 磁性層 8 b の磁化方向が  $-X$  方向となる。

第 3 5 A 図、第 3 5 B 図から明らかなように、環状磁性層 4 を貫く書込ビット線 5 および書込ワード線 6 の双方を流れる電流により生ずる還流磁界 3 4 の方向に従い、一对の TMR 素子 1 a, 1 b における第 2 磁性層 8 a, 8 b の磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル 1 H に「0」または「1」の 2 値情報を記憶することができる。

このように、本実施の形態においても、上述した本実施の形態と同様の効果が得られる。

#### [第 3 の実施の形態]

次に、第 3 6 A 図を参照して、本発明の第 3 の実施の形態の磁気メモリデバイスについて説明する。

第 3 6 A 図は、本実施の形態の磁気メモリデバイスにおける記憶セル 1 2 1 P の断面構成を表すものであり、上記第 1 の実施の形態における第 5 図に対応している。第 3 6 A 図では、第 5 図に示した構成要素と実質的に同一の部分には同一の符号を付している。

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成およびその製造方法について、主に、上記第 1 の実施の形態と異なる点について説明し、他

の説明は適宜省略する。

上記第1の実施の形態の磁気メモリデバイスにおける記憶セル1は、感磁層が、互いに磁氣的に交換結合するように構成された接続部分14a, 14bおよび第2磁性層8a, 8bからなり、接続部分14a, 14bが環状磁性層4のうちの一部分を構成するようにしたものである。これに対し本実施の形態の磁気メモリデバイスにおける記憶セル121Pは、第36A図に示したように、感磁層が、環状磁性層4のうちの一部分を構成するようにしたものである。

具体的には、接続部分84a, 84bが環状磁性層4における感磁部分であると共に、積層体S21a, S21bにおける感磁部分としても機能することにより第2磁性層8a, 8bを省くことができ、記憶セル1よりも簡素な構成の記憶セル121Pとすることができる。ここで、接続部分84a, 84bが本発明における「感磁層」に対応する一具体例である。

但し、この場合には、第1磁性層2a, 2bおよび接続部分84a, 84bの磁化容易軸が、互いに平行であることが望ましい。第1磁性層2a, 2bと接続部分84a, 84bとの磁化方向が、互いに平行または反平行の状態が安定となるようにするためである。環状磁性層4は、例えば、ニッケル鉄合金(NiFe)からなり、接続部分84a, 84bにおける断面方向の厚みが例えば20nmである。さらに接続部分84a, 84bの保磁力は、 $(50/4\pi) \times 10^3$  A/m以上 $(100/4\pi) \times 10^3$  A/m以下の範囲であり、かつ、第1磁性層2の保磁力よりも小さくなるように構成されていることが望ましい。 $(50/4\pi) \times 10^3$  A/m未満の保磁力では、接続部分84a, 84bにおける磁化方向が外部擾乱磁界等の不要な磁界により乱されることがあるからである。一方、 $(100/4\pi) \times 10^3$  A/mを越えるような保磁力では、書込電流の増大に起因する発熱により、TMR素子20自体の劣化が生じてしまう可能性があるからである。さらに、接続部分84a, 84bの保磁力が、第1磁性層2a, 2bの保磁力と同等以上となると、書込電流が増大して磁化固定層としての第1磁性層2a, 2bの磁化方向を変化させてしまい、記憶素子としてのTMR素子121a, 121bにおける機能の劣化を招くからである。

また、記憶セル121Pでは、接続部分84a, 84bが情報を記憶する記憶

層として機能する。すなわち、書込ビット線 5 と書込ワード線 6 とを流れる書込電流によって生ずる還流磁界によって接続部分 8 4 a, 8 4 b の磁化方向が反転され、情報の記憶がなされる。以下、記憶セル 1 2 1 における書込動作について具体的に説明する。

第 3 6 A 図は、TMR 素子 1 2 1 a, 1 2 1 b を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合を示す。第 3 6 A 図は、TMR 素子 1 2 1 a, 1 2 1 b において紙面に垂直な方向に手前から奥へ向かって（+Y 方向へ）書込電流が流れ、環状磁性層 4 の内部を反時計回り方向に還流磁界 3 4 が発生する場合を示している。この場合は、接続部分 8 4 a の磁化方向が -X 方向となり、接続部分 8 4 b の磁化方向が +X 方向となる。一方、図示しないが、これとは逆に、紙面に垂直な方向に奥から手前へ向かって（-Y 方向へ）書込電流が流れ、環状磁性層 4 の内部を時計回り方向に還流磁界 3 4 が発生する場合には、接続部分 8 4 a の磁化方向が +X 方向となり、接続部分 8 4 b の磁化方向が -X 方向となる。

このように書込ビット線 5 および書込ワード線 6 に、同一方向に電流が流れると、接続部分 8 4 a, 8 4 b の磁化方向は互いに反平行となり、0 または 1 を記録することができる。

以上のように、本実施の形態の磁気メモリデバイスによれば、接続部分 8 4 a, 8 4 b が環状磁性層 4 における感磁部分であると共に、積層体 S 2 1 a, S 2 1 b における感磁部分としても機能するようにした。このため、第 2 磁性層 8 を省くことができ、より簡素な構成の記憶セル 1 2 1 を構成することができる。

#### [第 4 の実施の形態]

次に、第 3 6 B 図を参照して、本発明の第 4 の実施の形態の磁気メモリデバイスについて説明する。

第 3 6 B 図は、本実施の形態の磁気メモリデバイスにおける記憶セル 1 2 1 H の断面構成を表すものである。第 3 6 B 図では、上記第 3 の実施の形態として説明した第 3 6 A 図に示した構成要素と実質的に同一の部分には同一の符号を付している。

なお、以下の説明では、本実施の形態の磁気メモリデバイスの構成について、

上記第3の実施の形態と異なる点について説明し、他の説明は適宜省略する。

上記第3の実施の形態の記憶セル121Pでは、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S21aと積層体S21bとを通る直線において互いに隣り合うように配列するようにした。これに対し、本実施の形態の記憶セル121Hでは第36B図に示したように、書込ワード線6および書込ビット線5を、環状磁性層4を貫く領域において積層体S21aと積層体S21bとを通る直線と直交する方向において互いに隣り合うように配列するようにした。

第36B図から明らかなように、環状磁性層4を貫く書込ビット線5および書込ワード線6の双方を流れる電流により生ずる還流磁界34の方向に従い、一对のTMR素子121a, 121bにおける第2磁性層8a, 8bの磁化方向が互いに反対方向となるように変化するので、これを利用することにより記憶セル121Hに「0」または「1」の2値情報を記憶することができる。

このように、本実施の形態においても、上記第3の実施の形態と同様の効果が得られる。

#### [第1～第4の実施の形態の変形例]

続いて、第37A図～第40図を参照して、上記第1～第4の実施の形態の変形例としての磁気メモリデバイスにおける磁気記憶セルについて以下に説明する。

#### <変形例1>

第37A図は、第1の実施の形態の変形例（変形例1）としての記憶セル122Pの断面構成を表すものであり、第9A図に対応している。第37A図では、第9A図に示した構成要素と実質的に同一の部分には同一の符号を付している。

上記第1の実施の形態の磁気メモリデバイスにおける記憶セル1（1P）は、感磁層が環状磁性層4のうちの一部分を構成する接続部分14a, 14bと、第2磁性層8a, 8bとからなり、接続部分14a, 14bと第2磁性層8a, 8bとがそれぞれ互いに磁氣的に交換結合するように構成したものである。これに対し、本変形例の記憶セル122Pは、第37A図に示したように、記憶セル1（1P）の構成に加えて、感磁層が、さらに接続部分14a, 14bと第2磁性層8a, 8bとの間に、これら接続部分14a, 14bと第2磁性層8a, 8b

とをそれぞれ反強磁性結合させるための非磁性導電層 9 を有するようにしたものである。具体的には、記憶セル 1 2 2 P は一対の TMR 素子 1 2 2 a, 1 2 2 b からなり、TMR 素子 1 2 2 a は積層体 S 2 2 a を、TMR 素子 1 2 2 b は積層体 S 2 2 b をそれぞれ有している。一対の積層体 S 2 2 a, S 2 2 b は積層部分 2 2 a, 2 2 b と接続部分 1 4 a, 1 4 b とからなり、積層部分 2 2 a, 2 2 b は、環状磁性層 4 の側から順に非磁性導電層 9 a, 9 b と、第 2 磁性層 8 a, 8 b と、トンネルバリア層 3 a, 3 b と、第 1 磁性層 2 a, 2 b とを有している。この非磁性導電層 9 a, 9 b は、例えば、ルテニウム (Ru) や銅 (Cu) などにより構成される。ここで、非磁性導電層 9 a, 9 b が、本発明の「第 1 の非磁性導電層」に対応する一具体例である。

本変形例の記憶セル 1 2 2 P では、接続部分 1 4 a, 1 4 b と第 2 磁性層 8 a, 8 b とがそれぞれ反強磁性結合することにより、接続部分 1 4 a, 1 4 b の保磁力が  $(50/4\pi) \times 10^3 \text{ A/m}$  未満であっても、接続部分 1 4 a, 1 4 b における磁化方向が外部擾乱磁界等の不要な磁界により乱されるといった問題が生じなくなり、例えば、鉄 (Fe)、NiFe、CoFe、NiFeCo およびコバルト (Co) 等により環状磁性層 4 を構成することができる。

第 2 磁性層 8 a, 8 b は、記録を保持する部分となり、反強磁性結合による異方性磁界により安定化される。第 2 磁性層 8 a, 8 b の保磁力は、 $(100/4\pi) \times 10^3 \text{ A/m}$  以下の範囲であり、第 1 磁性層 2 a, 2 b の保磁力よりも小さくなるように構成されていることが望ましい。

続いて、記憶セル 1 2 2 P における書込動作について説明する。

第 3 7 A 図は、記憶セル 1 2 2 P を通過する互いに平行な書込ビット線 5 および書込ワード線 6 に、互いに同一な方向に書込電流が流れる場合に対応している。すなわち、TMR 素子 1 2 2 a において紙面に垂直な方向に手前から奥へ向かって (+Y 方向へ) 書込電流が流れ、環状磁性層 4 の内部を反時計回り方向に還流磁界 3 4 が発生する場合を示している。この場合は、第 2 磁性層 8 a の磁化方向が +X 方向となり、第 2 磁性層 8 b の磁化方向が -X 方向となる。一方、これとは逆に TMR 素子 1 2 2 a において紙面に垂直な方向に奥から手前へ向かって (-Y 方向へ) 書込電流が流れ、時計回り方向に還流磁界 3 4 が発生する場合は、

第2磁性層8aの磁化方向が-X方向となり、第2磁性層8bの磁化方向が+X方向となる。このように書込ビット線5および書込ワード線6に、同一方向に電流が流れると、第2磁性層8の磁化方向は互いに反平行となり、0または1を記録することができる。

以上のように、変形例1としての記憶セル122Pは、上記第1実施の形態の構成に加え、さらに、環状磁性層4の接続部分14a、14bと第2磁性層8a、8bとの間にそれぞれ非磁性導電層9a、9bを有するようにした。こうすることにより、接続部分14a、14bと第2磁性層8a、8bとが強力な反強磁性結合を形成することができるので、外部擾乱磁界等による不要な磁界により感磁層としての接続部分14a、14bおよび第2磁性層8a、8bの磁化方向が乱されることなくより安定する。これに加え、上記構成により接続部分14a、14bの保磁力をより小さく抑えることができる。したがって、書込動作時において電流値を小さくすることによって発熱量を低減することが可能なうえ、接続部分14a、14bに含まれる金属元素等が第2磁性層8a、8bへ拡散して移動するのを、非磁性導電層9a、9bを設けることにより遮蔽することができるので、熱的安定性が向上する。これらの結果、より安定した書込が可能となる。

#### <変形例2>

上記第2の実施の形態の磁気メモリデバイスにおける記憶セル1(1H)の変形例(変形例2)として、第37B図に記憶セル122Hの断面構成を示す。記憶セル122Hは、第37B図に示したように、記憶セル1(1H)の構成に加えて、感磁層が、さらに接続部分14a、14bと第2磁性層8a、8bとの間に、これら接続部分14a、14bと第2磁性層8a、8bとをそれぞれ反強磁性結合させるための非磁性導電層9を有するようにしたものである。

記憶セル122Hは、上記変形例1と同様に接続部分14a、14bと第2磁性層8a、8bとが強力な反強磁性結合を形成するので、結果的に、より安定した書込が可能となる。

#### <変形例3, 4>

第38A図は、第3の実施の形態の変形例(変形例3)としての記憶セル123Pの断面構成を表すものであり、第36A図に対応している。また、第38B

図は、第4の実施の形態の変形例（変形例4）としての記憶セル123Hの断面構成を表すものであり、第36B図に対応している。

上記第3および第4の実施の形態における記憶セル121P、121Hに含まれる積層体S21a、S21bは、接続部分84a、84bよりも大きな保磁力を有する第1磁性層2a、2bを備えた保磁力差型とよばれる構造である。これに対し、第38A図、第38B図に示した記憶セル123P、123Hにおける積層体S23a、S23bは、反強磁性層との交換結合により第1磁性層2a、2bの磁化方向を固定する交換バイアス型とよばれる構造を呈している。

具体的には、積層体S23a、S23bは、環状磁性層4の側から順にトンネルバリア層3a、3bと、第1磁性層2a、2bと、第3磁性層15a、15bとを有している。第3磁性層15a、15bは、反強磁性を有しており、第1磁性層2a、2bと交換相互作用により第1磁性層2a、2bの磁化方向を固定するように機能し、例えば、白金マンガン合金（PtMn）、イリジウムマンガン合金（IrMn）、鉄マンガン（FeMn）、ニッケルマンガン（NiMn）またはルテニウムマンガン（RuMn）等の反強磁性材料により構成される。

このように、変形例3および変形例4では、積層体S23a、S23bが、上記第2または第3の実施の形態の構成に加え、さらに、第1磁性層2a、2bのトンネルバリア層3とは反対側に、第1磁性層2a、2bと交換結合した反強磁性の第3磁性層15a、15bを配設するようにした。こうすることにより、第1磁性層2a、2bの磁化方向をより安定して固定できるので、第1磁性層2a、2bの保磁力を $(50/4\pi) \times 10^3 \text{ A/m}$ 未満にした場合であっても、接続部分84a、84bにおける磁化方向が外部擾乱磁界等の不要な磁界により乱されることがなく、より安定した書込が可能となる。

#### <変形例5、6>

次に、第39A図および第39B図を参照して、上記第3および第4の実施の形態における他の変形例（変形例5、6）について説明する。

第39A図は、第3の実施の形態の他の変形例（変形例5）としての記憶セル124Pの断面構成を表すものであり、第38A図に類似した構成をなしている。一方、第39B図は、第4の実施の形態の他の変形例（変形例6）としての記憶



セル 1 2 4 H の断面構成を表すものであり、第 3 8 B 図に類似した構成をなしている。第 3 9 A 図、第 3 9 B 図では、第 3 8 A 図、第 3 8 B 図に示した構成要素と実質的に同一の部分には同一の符号を付している。

上記変形例 3 および変形例 4 と同様に、第 3 9 A 図に示した変形例 5, 6 の記憶セル 1 2 4 P, 1 2 4 H における積層体 S 2 4 a, S 2 4 b は、反強磁性層との交換結合により第 1 磁性層 2 a, 2 b の磁化方向を固定する交換バイアス型とよばれる構造を呈している。但し、記憶セル 1 2 4 P, 1 2 4 H は、記憶セル 1 2 3 P, 1 2 3 H とは異なり、単層の磁化固定層ではなく複数層からなるシンセティック磁化固定層（以下、S y A P 層という。）を備えるものである。

具体的には、積層体 S 2 4 a, S 2 4 b は、環状磁性層 4 の側から順にトンネルバリア層 3 a, 3 b と、S y A P 層 3 5 a, 3 5 b と、反強磁性の第 3 磁性層 1 5 a, 1 5 b とを有している。S y A P 層 3 5 a, 3 5 b は、環状磁性層 4 の側から順に第 1 磁性層 2 a, 2 b と、非磁性導電層 1 6 a, 1 6 b と、第 4 磁性層 1 8 a, 1 8 b とが積層された構造となっている。非磁性導電層 1 6 a, 1 6 b は、例えば、銅により構成される。第 4 磁性層 1 8 a, 1 8 b は、例えば、鉄 (F e)、N i F e、C o F e、N i F e C o またはコバルト (C o) 等により構成され、第 1 磁性層 2 a, 2 b と反強磁性結合している。ここで、非磁性導電層 1 6 a, 1 6 b は、本発明における「第 2 の非磁性導電層」に対応する一具体例である。

以上のように、変形例 5, 6 では、積層体 S 2 4 a, S 2 4 b が、それぞれ、第 1 磁性層 2 a, 2 b のトンネルバリア層 3 とは反対側に、非磁性導電層 1 6 a, 1 6 b と、第 4 磁性層 1 8 a, 1 8 b と、第 3 磁性層 1 5 a, 1 5 b とを順に積層された構造を有するようにした。こうすることにより、互いに反強磁性結合した第 4 磁性層 1 8 a, 1 8 b と第 1 磁性層 2 a, 2 b とによって発生する静磁界が閉磁路を形成するので、感磁層としての接続部分 1 4 a, 1 4 b への磁界の回り込みを抑制することができると共に、磁化固定層としての第 1 磁性層 2 a, 2 b の磁化方向がより安定する。よって、より安定した書込動作が可能となる。

#### <変形例 7, 8>

次に、第 4 0 A 図および第 4 0 B 図を参照して、上記第 1 および第 2 の実施の

形態における他の変形例（変形例 7，8）について説明する。

第 40 A 図は、第 1 の実施の形態の他の変形例（変形例 7）としての記憶セル 125 P の断面構成を表すものであり、第 40 B 図は、第 2 の実施の形態の他の変形例（変形例 8）としての記憶セル 125 H の断面構成を表すものである。

第 40 A 図、第 40 B 図に示したように、変形例 7，8 の記憶セル 125 P，125 H における積層体 S25 a，S25 b は、交換パイアス型とよばれる構造を有すると共に、SyAP 層 35 a，35 b を備えている。こうすることにより、互いに反強磁性結合した第 4 磁性層 18 a，18 b と第 1 磁性層 2 a，2 b とによって発生する静磁界が閉磁路を形成するので、第 1 の感磁部分としての接続部分 14 a，14 b および第 2 の感磁部分としての第 2 磁性層 8 a，8 b への磁界の回り込みを抑制することができると共に、磁化固定層としての第 1 磁性層 2 a，2 b の磁化方向がより安定する。よって、より安定した書込動作が可能となる。

さらに、本実施の形態における具体的な実施例について説明する。

本実施例では、上記第 1 の実施の形態において説明した製造方法に基づき、以下の磁気メモリデバイスのサンプルを 2 つ作成した。具体的には、いずれも第 5 図に示した断面構成を有する記憶セル 1 をマトリクス状に複数個、設けた磁気メモリデバイスであり、これらを試料 1，2 とする。

上記の試料 1 および試料 2 の磁気メモリデバイスについて、MR 比、TMR 素子抵抗、スイッチング電流および隣接セル反転電流について測定を行った。MR 比および TMR 素子抵抗は、記憶セルにおける一対の TMR 素子の平均値を測定値とした。スイッチング電流および隣接セル反転電流については、書込ビット線 5 および書込ワード線 6 に、同一の大きさの書込電流を同時に流すようにして電流値を測定した。この結果を、表 1 に示す。表 1 における実施例 1 が試料 1 に対応し実施例 2 が試料 2 に対応する結果である。なお、数値の比較のため、第 44 図に示した構造からなる記憶セルについても同様の測定をおこない、比較例として表 1 に併記した。なお、測定時の印加磁場は  $(500/4\pi) \times 10^3 \text{ A/m}$  とした。第 44 図に示した比較例としての記憶セルは、1 つの TMR 素子 120 を備えており、書込ビット線 105 および書込ワード線 106 を囲うような環状磁性層は全く備えていないものである。

表 1 に示したように、本実施例 1, 2 と比較例とでは、MR 比および TMR 素子抵抗においては大差が見られなかったものの、スイッチング電流および隣接セル反転電流について、明らかな有意差が確認できた。

スイッチング電流とは、書込対象の記憶セルにおける磁化方向の反転をおこなうために必要な最小限の電流値である。このスイッチング電流については、実施例 1, 2 が、共に比較例を下回る値を示す結果となった。これは、効率よく感磁層の磁化反転を行うことができたので、小さな電流であっても書き込み操作が可能となったことを示す。すなわち、隣り合う TMR 素子が、環状磁性層の一部を互いに共有することによって、小さな電流であっても大きな還流磁界を形成できることが確認できた。

隣接セル反転電流とは、書込対象の記憶セルと隣接した記憶セルに印加された電流によって、本来、書込がなされるべきでない記憶セルの磁化方向が反転してしまう電流値を表す。表 1 に示したように、実施例 1, 2 では、比較例よりも大きな書込電流を印加しても、隣接する記憶セルにおける磁化方向は反転しないことがわかった。これは、閉じた磁路を形成し、隣接する記憶セルに悪影響を及ぼす磁界の発生を抑制することができたことを示す。

以上、いくつかの実施の形態および変形例を挙げて本発明を説明したが、本発明は、これらの実施の形態および変形例に限定されず、種々変形可能である。例えば、本実施の形態および各変形例では、逆流防止用の整流素子としてショットキーダイオード 75 を用いるようにしたが、同じく整流作用を有する素子であるバイポーラトランジスタに置き換えることができる。

第 41 図は、読出ビット線 33a, 33b と積層体 S20a, S20b との間にバイポーラトランジスタ 76a, 76b を設けた場合の回路の要部構成を表している。第 42 図に、バイポーラトランジスタ 76a, 76b の断面構造を示す。バイポーラトランジスタ 76a, 76b のベース B は、ワードデコード線 72 に接続されている。各コレクタ C が接続層 28 を介してそれぞれ読出ビット線 33a, 33b に接続されており、各エミッタ E が接続層 27 を介してそれぞれ積層体 S20a, S20b に接続されている。

第 43 図は、このバイポーラトランジスタ 76a, 76b を設けた場合における

る読出回路の全体を示したものである。この場合、Y方向アドレスデコード回路56Aからの制御信号が例えば単位読出回路80nのセンスアンプ回路56Bに伝達されると、センスアンプ回路56Bが読出ビット線33a, 33bを通るように読出電流を発する。Y方向アドレスデコード回路56Aからの制御信号は同時に読出スイッチ83nにも伝達され、この読出スイッチ83nが導通状態となる。一方、X方向アドレスデコード回路58Aが記憶セル1mを選択し、ワードデコード線72mを通るように制御信号を発する。バイポーラトランジスタ76a, 76bのそれぞれのベースBにX方向アドレスデコード回路58Aからの制御信号が伝達されると、コレクタCとエミッタEとの間がそれぞれ導通状態となる。この結果、読出電流が、記憶セル1mの各積層体S20a, S20bを通過し、読出スイッチ83nを経由して最終的に定電流回路58Bへ流入する。ダイオード75と同様にバイポーラトランジスタ76も、一方向に電流を通過するように機能するので、第46図に示したような読出電流の回り込みを回避することが可能である。

また、逆流防止用の整流素子として、第44図に示したように、MOSトランジスタ77a, 77bを用いることができる。この場合、各ソースSがそれぞれ読出ビット線33a, 33bに接続し、各ドレインDがそれぞれTMR膜20a, 20bに接続しており、ワードデコード線72に接続されたゲートGが閉じることにより導通状態とすることができる。第45図は、MOSトランジスタ77a, 77bを設けた場合における読出回路の全体を示したものである。ゲートGを閉じることによって導通状態とする点を除き、第45図に示した読出回路における読出動作は上記バイポーラトランジスタ76を用いた回路(第43図)と同様である。

また、本実施の形態では、書込ビット線5と書込ワード線6とが互いに平行部分10をなす場合について説明したが、これに限定されず、互いに例えば90°をなすような場合であってもよい。ただし、平行部分10を取り囲むように環状磁性層4を形成する場合のほうが、感磁層の磁化反転がより効率的に行われるのでより好ましい。

また、本実施の形態では、各記憶セル1の情報の読み出しを、TMR素子1a,

1 b それぞれに流す読出電流の差分値を出力として行うようにしたが、これに限定されない。例えば、ある1つのTMR素子を通過する読出電流の値をそのまま出力させ、高抵抗状態にあるか低抵抗状態にあるかの検出をおこなうようにしてもよい。

以上説明したように、本発明の磁気記憶セルまたは磁気メモリデバイスによれば、外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いに積層面が対向するように配置された第1および第2の積層体と、これら第1および第2の積層体におけるそれぞれの一方の面側に、積層面に沿った方向を軸方向とするように共通に配設されると共に、軸方向に沿って複数の導線（第1および第2の書込線）によって貫かれるように構成された環状磁性層とを備えるようにしたので、複数の導線（第1および第2の書込線）に電流を流すことによって閉磁路を形成することができ、第1および第2の積層体における各感磁層の磁化反転を効率的に行うことができる。特に、複数の磁気記憶セルを含む本発明の磁気メモリデバイスにおいては、書込対象とする記憶セルに隣接した記憶セルに対して与える磁気的な影響を低減することができる。

特に、第1の積層体が、環状磁性層と共に第1の磁気抵抗効果素子を構成し、第2の積層体が、環状磁性層と共に第2の磁気抵抗効果素子を構成するようにした場合には、環状磁性層を共有化した一对の磁気抵抗効果素子が構成されるので、1つの積層体に対して1つの環状磁性層を設ける場合よりもコンパクトな構成とすることができ、高密度化が可能となる。

さらに、本発明の磁気記憶セルおよび磁気メモリデバイスによれば、特に、複数の書込線（第1および第2の書込線）が、環状磁性層を貫く領域において互いに平行に延びるようにした場合には、複数の導線（第1および第2の書込線）に電流を流すことによって感磁層に生じる合成磁界を、これらの導線が互いに交差する場合よりも大きくすることができ、感磁層における磁化反転をより効率的に行うことができる。その結果、磁化反転に必要とされる書込電流をより小さくすることができる。さらに、感磁層における複数の磁区の磁化方向を全体に亘って良好に揃えることができるので、より高い信頼性が得られる。

また、本発明の磁気メモリデバイスによれば、特に、第1および第2の磁気抵抗効果素子に供給された読出電流の各電流経路上における、一对の第1の読出線と第1および第2の磁気抵抗効果素子との間にそれぞれ設けられた第1および第2の整流素子と、第1および第2の磁気抵抗効果素子を流れた読出電流を接地へと導く第2の読出線とを備えるようにした場合には、読出電流の回り込みによる変動、すなわち読出信号に対する雑音を低減することができ、安定した磁気情報の読み出しが可能となる。

本発明の磁気メモリデバイスの製造方法によれば、第1および第2の整流素子が設けられた基体の上に、第2の積層体の一部をなす第2の積層部分を形成し、第2の整流素子と第2の積層体とを電気的に接続する工程と、少なくとも積層部分を覆うように下部磁性層を形成し、第2の積層体の形成を完了する工程と、下部磁性層の上に、第1の絶縁膜を介して第1の書込線を形成する工程と、第1の書込線の上に、第2の絶縁膜を介して第2の書込線を、第1および第2の書込線が互いに平行に延在する部分を含むように形成する工程と、第2の書込線と、第2の絶縁膜と、第1の書込線とを順次エッチングしてパターニングすることにより、第1および第2の書込線が第2の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、積層パターンを第3の絶縁膜を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、環状磁性層の上の、第2の積層体に対応する位置に第1の積層部分を設けることにより第1の積層体を形成し、第1および第2の積層体を有する磁気記憶セルを形成する工程と、第1の積層体と第1の整流素子とを電気的に接続する工程とを含むようにしたので、互いの積層面が対向した第1および第2の積層体のそれぞれにおける一方の面側に、積層面に沿った方向を軸方向とするように共通に環状磁性層を配設した構造を得ることができる。また、一对の読出電流が第1および第2の整流素子と第1および第2の積層体とをそれぞれ流れたのち、環状磁性層において合流するような電流経路を構成することができる。このため、読出電流の不要な回り込みを回避することができ、安定した磁気情報の読み出しが可能となる。

特に、積層パターン形成工程において、第2の書込線をマスクとして第2の絶

縁膜および第 1 の書込線を選択的にエッチングすることにより、積層パターンを自己整合的に形成するようにした場合には、アライメント精度の高い加工が可能となり、さらに、製造工程全体として簡略化を図ることができる。

( 表 1 )

	MR比 %	TMR素子抵抗 $\Omega \cdot (\mu\text{m})^2$	スイッチング電流 mA	隣接セル 反転電流 mA
実施例 1	36～38	430～510	1.2	20.0以上
実施例 2	37～38	480～490	1.1	20.0以上
比較例	40	520	8.2	13



## 請求の範囲

1. 外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの前記積層面が対向するように配置された第1および第2の積層体と、

前記第1の積層体と前記第2の積層体との間に、前記積層面に沿った方向を軸方向とするように配置されると共に、前記軸方向に沿って複数の導線によって貫かれるように構成された環状磁性層と

を備えたことを特徴とする磁気記憶セル。

2. 前記第1の積層体は、前記環状磁性層と共に第1の磁気抵抗効果素子を構成し、

前記第2の積層体は、前記環状磁性層と共に第2の磁気抵抗効果素子を構成している

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

3. 前記第1および第2の積層体が、いずれも前記環状磁性層と電氣的に接続されていることを特徴とする請求の範囲第1項に記載の磁気記憶セル。

4. 前記複数の導線は、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

5. 前記複数の導線は、前記環状磁性層を貫く領域において前記第1の積層体と前記第2の積層体とを通る直線の方において互いに隣り合うように配列されている

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

6. 前記複数の導線は、前記環状磁性層を貫く領域において前記第1の積層体と前記第2の積層体とを通る直線と直交する方向において互いに隣り合うように配列されている

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

7. 前記複数の導線の双方を流れる電流により生ずる磁界によって、前記第1お

よび第2の積層体における各感磁層の磁化方向が互いに反平行を向くように変化し、前記第1および第2の積層体に情報が記憶される

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

8. 前記第1および第2の積層体における一对の感磁層の一方が第1の方向に磁化し他方が前記第1の方向と反平行をなす第2の方向に磁化する第1の状態と、前記一对の感磁層の一方が前記第2の方向に磁化し他方が前記第1の方向に磁化する第2の状態の、いずれかをとり、

前記第1および第2の状態に対応して前記第1および第2の積層体に情報が記憶される

ことを特徴とする請求の範囲第7項に記載の磁気記憶セル。

9. 前記一对の感磁層は、それぞれ、互いに磁氣的に交換結合するように構成された第1および第2の感磁部分を含み、

前記第1の感磁部分が、前記環状磁性層のうち的一部分を構成している

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

10. 前記一对の感磁層は、それぞれ、前記第1の感磁部分と前記第2の感磁部分との間に、前記第1の感磁部分と前記第2の感磁部分とをそれぞれ反強磁性結合させるための第1の非磁性導電層を有している

ことを特徴とする請求の範囲第9項に記載の磁気記憶セル。

11. 前記一对の第2の感磁部分が前記一对の第1の感磁部分よりも大きな保磁力を有する

ことを特徴とする請求の範囲第9項に記載の磁気記憶セル。

12. 前記第1および第2の積層体は、それぞれ、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、

前記非磁性層の前記第1の磁性層と反対側に積層され、前記第2の感磁部分として機能する第2の磁性層と

を含み、

前記第1および第2の積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求の範囲第9項に記載の磁気記憶セル。

13. 前記第1の磁性層が前記第2の磁性層よりも大きな保磁力を有することを特徴とする請求の範囲第12項に記載の磁気記憶セル。

14. 前記第1の磁性層の前記非磁性層とは反対側に、第1の磁性層と交換結合した反強磁性の第3の磁性層が配設されている

ことを特徴とする請求の範囲第12項に記載の磁気記憶セル。

15. 前記第1の磁性層と前記第3の磁性層との間に、前記第1の磁性層の側から順に第2の非磁性導電層と、前記第1の磁性層と反強磁性結合した第4の磁性層とが配設されている

ことを特徴とする請求の範囲第14項に記載の磁気記憶セル。

16. 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求の範囲第12項に記載の磁気記憶セル。

17. 前記一对の感磁層が、前記環状磁性層のうちの一部分を構成している

ことを特徴とする請求の範囲第1項に記載の磁気記憶セル。

18. 前記第1および第2の積層体は、それぞれ、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、

前記非磁性層の前記第1の磁性層と反対側に積層された前記感磁層と

を含み、

前記第1および第2の積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求の範囲第17項に記載の磁気記憶セル。

19. 前記第1の磁性層の前記非磁性層とは反対側に、第2の非磁性導電層と、前記第1の磁性層と反強磁性結合した第4の磁性層と、反強磁性の第3の磁性層とが順に配設されている

ことを特徴とする請求の範囲第18項に記載の磁気記憶セル。

20. 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求の範囲第18項に記載の磁気記憶セル。

21. 第1の書込線と、前記第1の書込線と交差するように延びる第2の書込線と、磁気記憶セルと

を備え、

前記磁気記憶セルは、

外部磁界によって磁化方向が変化する感磁層を含み、積層面に垂直な方向に電流が流れるようにそれぞれ構成され、互いの前記積層面が対向するように配置された第1および第2の積層体と、

これら第1の積層体と第2の積層体との間に、前記積層面に沿った方向を軸方向とするように配置されると共に、前記軸方向に沿って前記第1および第2の書込線によって貫かれるように構成された環状磁性層と

を含むことを特徴とする磁気メモリデバイス。

22. 前記第1の積層体は、前記環状磁性層と共に第1の磁気抵抗効果素子を構成し、

前記第2の積層体は、前記環状磁性層と共に第2の磁気抵抗効果素子を構成している

ことを特徴とする請求の範囲第21項に記載の磁気メモリデバイス。

23. 前記第1および第2の積層体が、いずれも前記環状磁性層と電氣的に接続されていることを特徴とする請求の範囲第21項に記載の磁気メモリデバイス。

24. 前記第1の書込線と前記第2の書込線とは、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求の範囲第21項に記載の磁気メモリデバイス。

25. 前記第1および第2の書込線は、前記環状磁性層を貫く領域において前記第1の積層体と前記第2の積層体とを通る直線の方角において互いに隣り合うように配列されている

ことを特徴とする請求の範囲第21項に記載の磁気記憶セル。

26. 前記第1および第2の書込線は、前記環状磁性層を貫く領域において前記第1の積層体と前記第2の積層体とを通る直線と直交する方角において互いに隣り合うように配列されている

ことを特徴とする請求の範囲第21項に記載の磁気記憶セル。

27. 前記第1および第2の書込線の双方を流れる電流により生ずる磁界によって、前記第1および第2の積層体における各感磁層の磁化方角が互いに反平行を向くように変化し、前記磁気記憶セルに情報が記憶される

ことを特徴とする請求の範囲第 2 1 項に記載の磁気メモリデバイス。

28. 前記第 1 および第 2 の積層体における一对の感磁層の一方が第 1 の方向に磁化し他方が前記第 1 の方向と反平行をなす第 2 の方向に磁化する第 1 の状態と、前記一对の感磁層の一方が前記第 2 の方向に磁化し他方が前記第 1 の方向に磁化する第 2 の状態、のいずれかをとり、

前記第 1 および第 2 の状態に対応して前記磁気記憶セルに情報が記憶される

ことを特徴とする請求の範囲第 2 7 項に記載の磁気メモリデバイス。

29. 前記第 1 および第 2 の積層体にそれぞれ接続され、各積層他に読出電流を供給する一对の第 1 の読出線を備え、

前記各積層体に流れる電流に基づいて前記磁気記憶セルから情報が読み出される

ことを特徴とする請求の範囲第 2 1 項に記載の磁気メモリデバイス。

30. 前記一对の第 1 の読出線の各々から前記第 1 および第 2 の積層体の各々に読出電流が供給され、この一对の読出電流値の差分に基づいて前記磁気記憶セルから情報が読み出される

ことを特徴とする請求の範囲第 2 9 項に記載の磁気メモリデバイス。

31. 前記一对の感磁層は、それぞれ互いに磁氣的に交換結合するように構成された第 1 および第 2 の感磁部分を含み、

前記第 1 の感磁部分が、前記環状磁性層のうちの一部を構成している

ことを特徴とする請求の範囲第 2 1 項に記載の磁気メモリデバイス。

32. 前記一对の感磁層は、それぞれ、前記第 1 の感磁部分と前記第 2 の感磁部分との間に、前記第 1 の感磁部分と前記第 2 の感磁部分とをそれぞれ反強磁性結合させるための第 1 の非磁性導電層を有している

ことを特徴とする請求の範囲第 3 1 項に記載の磁気メモリデバイス。

33. 前記一对の第 2 の感磁部分が前記第 1 の感磁部分よりも大きな保磁力を有する

ことを特徴とする請求の範囲第 3 1 項に記載の磁気メモリデバイス。

34. 前記第 1 および第 2 の積層体は、それぞれ、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、  
前記非磁性層の前記第1の磁性層と反対側に積層され、前記第2の感磁部分と  
して機能する第2の磁性層と

を含み、

前記第1および第2の積層体に流れる電流に基づいて情報が検出される  
ことを特徴とする請求の範囲第31項に記載の磁気メモリデバイス。

35. 前記第1の磁性層が前記第2の磁性層よりも大きな保磁力を有する

ことを特徴とする請求の範囲第34項に記載の磁気メモリデバイス。

36. 前記第1の磁性層の前記非磁性層とは反対側に、第1の磁性層と交換結合  
した反強磁性の第3の磁性層が配設されている

ことを特徴とする請求の範囲第34項に記載の磁気メモリデバイス。

37. 前記第1の磁性層と前記第3の磁性層との間に、前記第1の磁性層の側か  
ら順に第2の非磁性導電層と、前記第1の磁性層と反強磁性結合した第4の磁性  
層とが配設されている

ことを特徴とする請求の範囲第34項に記載の磁気メモリデバイス。

38. 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求の範囲第34項に記載の磁気メモリデバイス。

39. 前記一対の感磁層が、前記環状磁性層のうち的一部分を構成している

ことを特徴とする請求の範囲第21項に記載の磁気メモリデバイス。

40. 前記第1および第2の積層体は、それぞれ、

非磁性層と、

前記非磁性層の一方側に積層され磁化方向の固定された第1の磁性層と、

前記非磁性層の前記第1の磁性層と反対側に積層された前記感磁層と

を含み、

前記第1および第2の積層体に流れる電流に基づいて情報が検出される

ことを特徴とする請求の範囲第39項に記載の磁気メモリデバイス。

41. 前記第1の磁性層の前記非磁性層とは反対側に、第2の非磁性導電層と、

前記第1の磁性層と反強磁性結合した第4の磁性層と、反強磁性の第3の磁性層

とが順に配設されている

ことを特徴とする請求の範囲第40項に記載の磁気メモリデバイス。

42. 前記非磁性層が、トンネル効果を生じさせ得る絶縁層からなる

ことを特徴とする請求の範囲第40項に記載の磁気メモリデバイス。

43. 前記第1および第2の積層体に供給された読出電流の各電流経路上における、前記一对の第1の読出線と前記第1および第2の積層体との間にそれぞれ設けられた第1および第2の整流素子と、

前記第1および第2の積層体を流れた読出電流を接地へと導く第2の読出線とを備えたことを特徴とする請求の範囲第29項に記載の磁気メモリデバイス。

44. 前記第1および第2の整流素子は、ショットキーダイオード、PN接合型ダイオード、バイポーラトランジスタ、またはMOS (Metal-Oxide-Semiconductor) トランジスタのいずれかである

ことを特徴とする請求の範囲第43項に記載の磁気メモリデバイス。

45. 第1および第2の整流素子が設けられた基体の上に、前記第2の積層体と、前記環状磁性層と、前記第1の積層体とが順に配設され、前記第1および第2の整流素子と前記第1および第2の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求の範囲第21項に記載の磁気メモリデバイス。

46. 前記第1および第2の整流素子は、バイポーラトランジスタであって、このバイポーラトランジスタにおけるエミッタと前記第1および第2の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求の範囲第45項に記載の磁気メモリデバイス。

47. 前記第1および第2の整流素子は、MOS (Metal-Oxide-Semiconductor) トランジスタであって、このMOSトランジスタにおけるソースと前記第1および第2の積層体とがそれぞれ電氣的に接続されている

ことを特徴とする請求の範囲第45項に記載の磁気メモリデバイス。

48. 前記第1および第2の整流素子は、ショットキーダイオードであって、前記第1および第2の積層体の側から順に導電層とエピタキシャル層とを有し、これら導電層とエピタキシャル層との間にショットキー障壁を形成している

ことを特徴とする請求の範囲第45項に記載の磁気メモリデバイス。

49. 第1の書込線と、前記第1の書込線と交差するように延びる第2の書込線

と、外部磁界によって磁化方向が変化する感磁層を含む第1および第2の積層体を有する磁気記憶セルと、を備えた磁気メモリデバイスを製造するための方法であって、

第1および第2の整流素子が設けられた基体の上に、前記第2の積層体の一部をなす第2の積層部分を形成し、前記第2の整流素子と前記第2の積層体とを電氣的に接続する工程と、

少なくとも前記積層部分を覆うように下部磁性層を形成し、前記第2の積層体の形成を完了する工程と、

前記下部磁性層の上に、第1の絶縁膜を介して前記第1の書込線を形成する工程と、

前記第1の書込線の上に、第2の絶縁膜を介して前記第2の書込線を、前記第1および第2の書込線が互いに平行に延在する部分を含むように形成する工程と、

前記第2の書込線と、前記第2の絶縁膜と、前記第1の書込線とを順次エッチングしてパターニングすることにより、前記第1および第2の書込線が前記第2の絶縁膜を挟んで互いに平行に延在する部分を含む積層パターンを形成する積層パターン形成工程と、

前記積層パターンを第3の絶縁膜を介して取り囲むように上部磁性層を設けることにより、環状磁性層を形成する工程と、

前記環状磁性層の上の、前記第2の積層体に対応する位置に第1の積層部分を設けることにより第1の積層体を形成し、前記第1および第2の積層体を有する磁気記憶セルを形成する工程と、

前記第1の積層体と前記第1の整流素子とを電氣的に接続する工程とを含むことを特徴とする磁気メモリデバイスの製造方法。

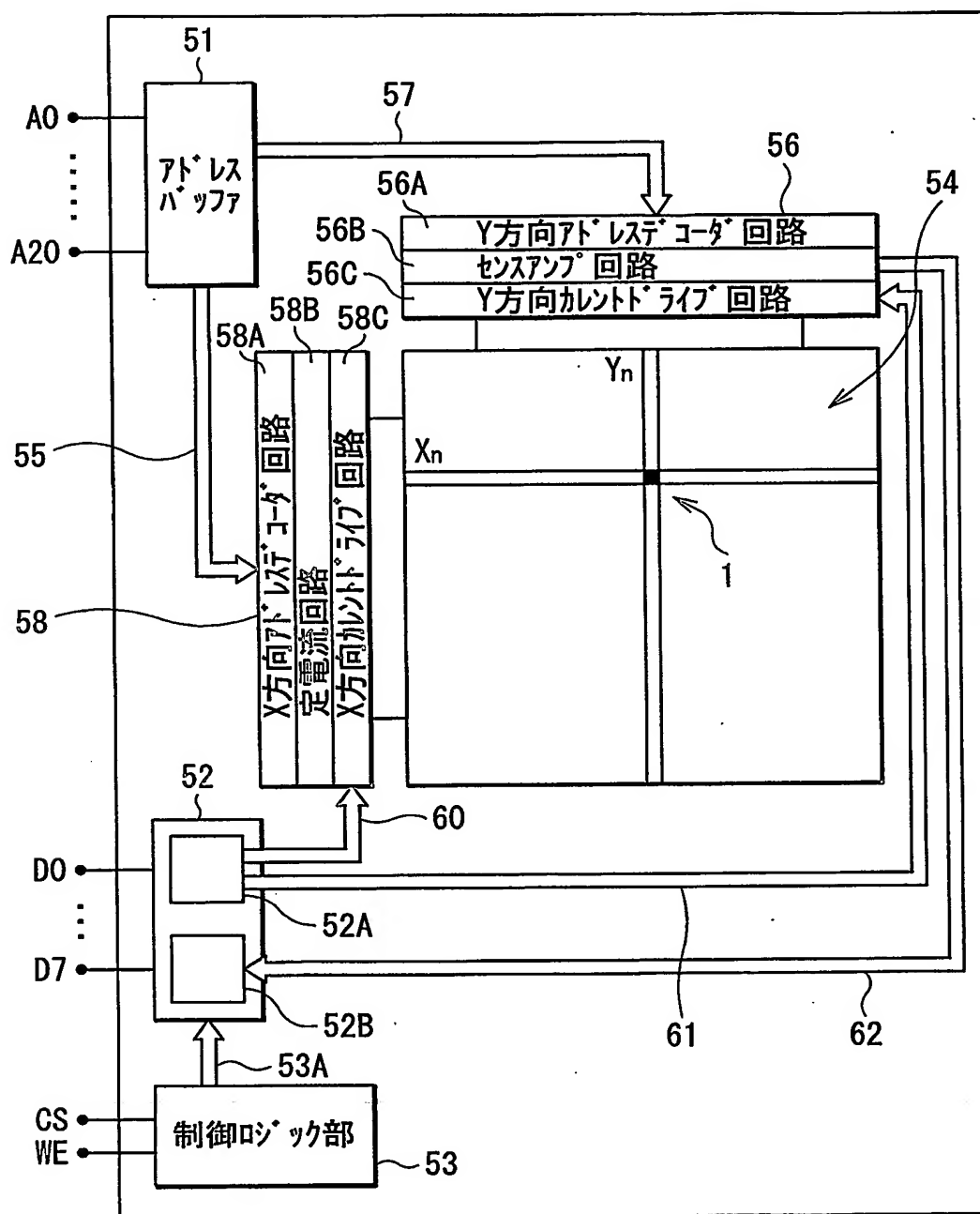
50. 前記積層パターン形成工程において、

前記第2の書込線をマスクとして前記第2の絶縁膜および前記第1の書込線を選択的にエッチングすることにより、前記積層パターンを自己整合的に形成することを特徴とする請求の範囲第49項に記載の磁気メモリデバイスの製造方法。

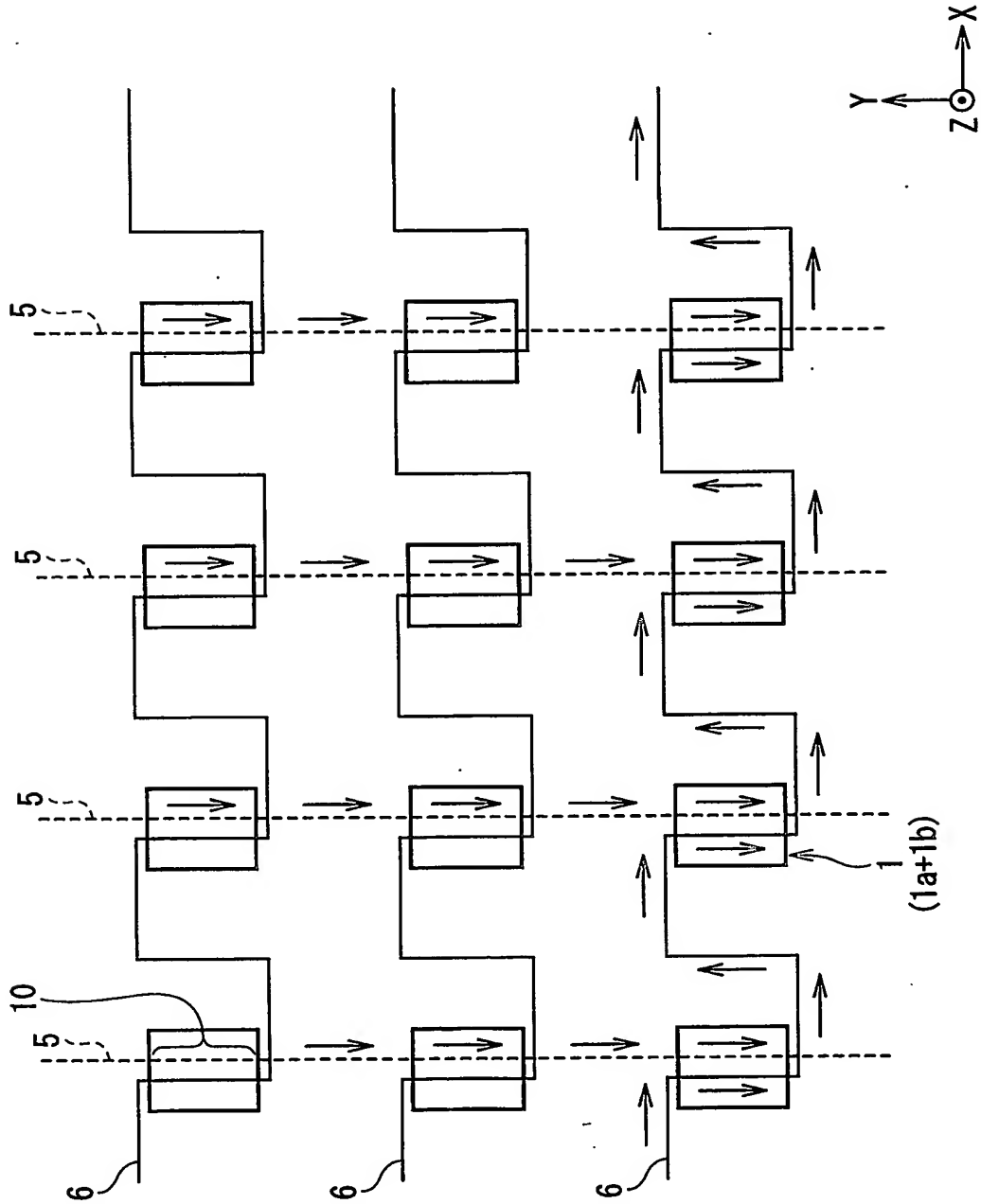


1/38

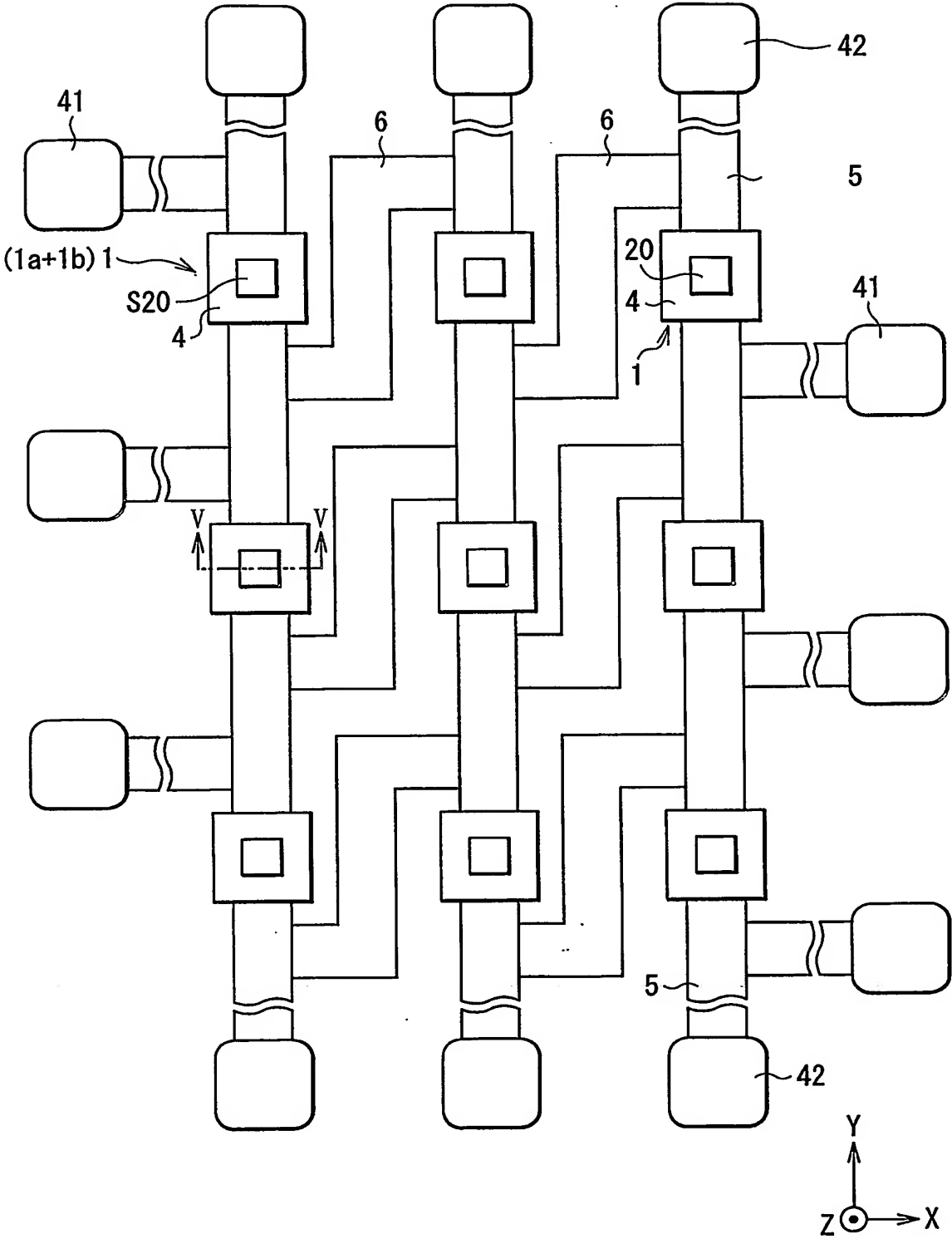
第1図



第2図

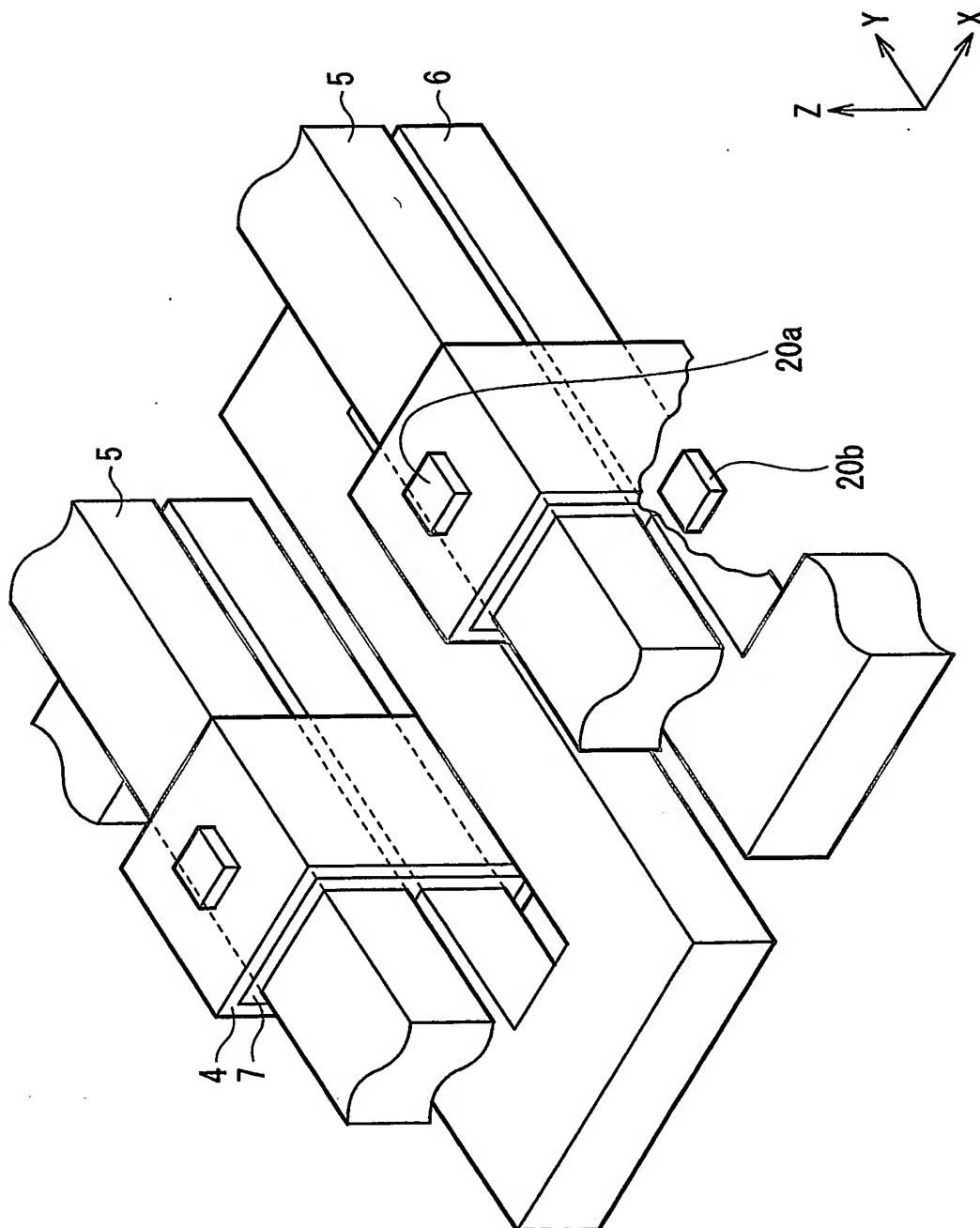


第3図



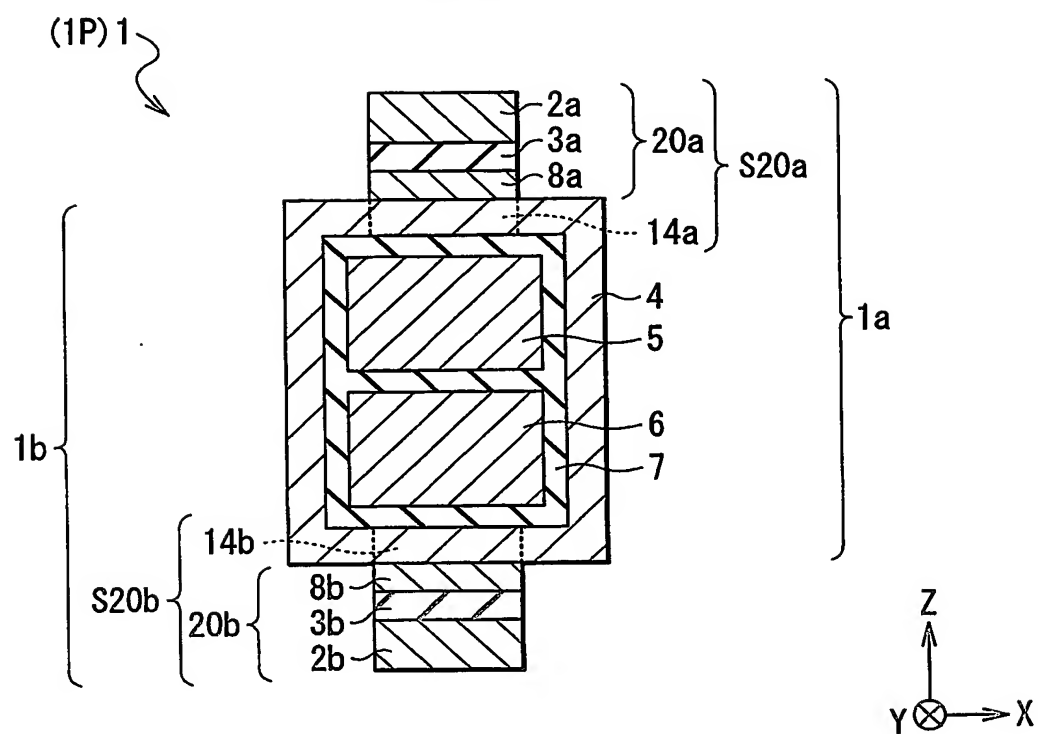
4/38

第4図



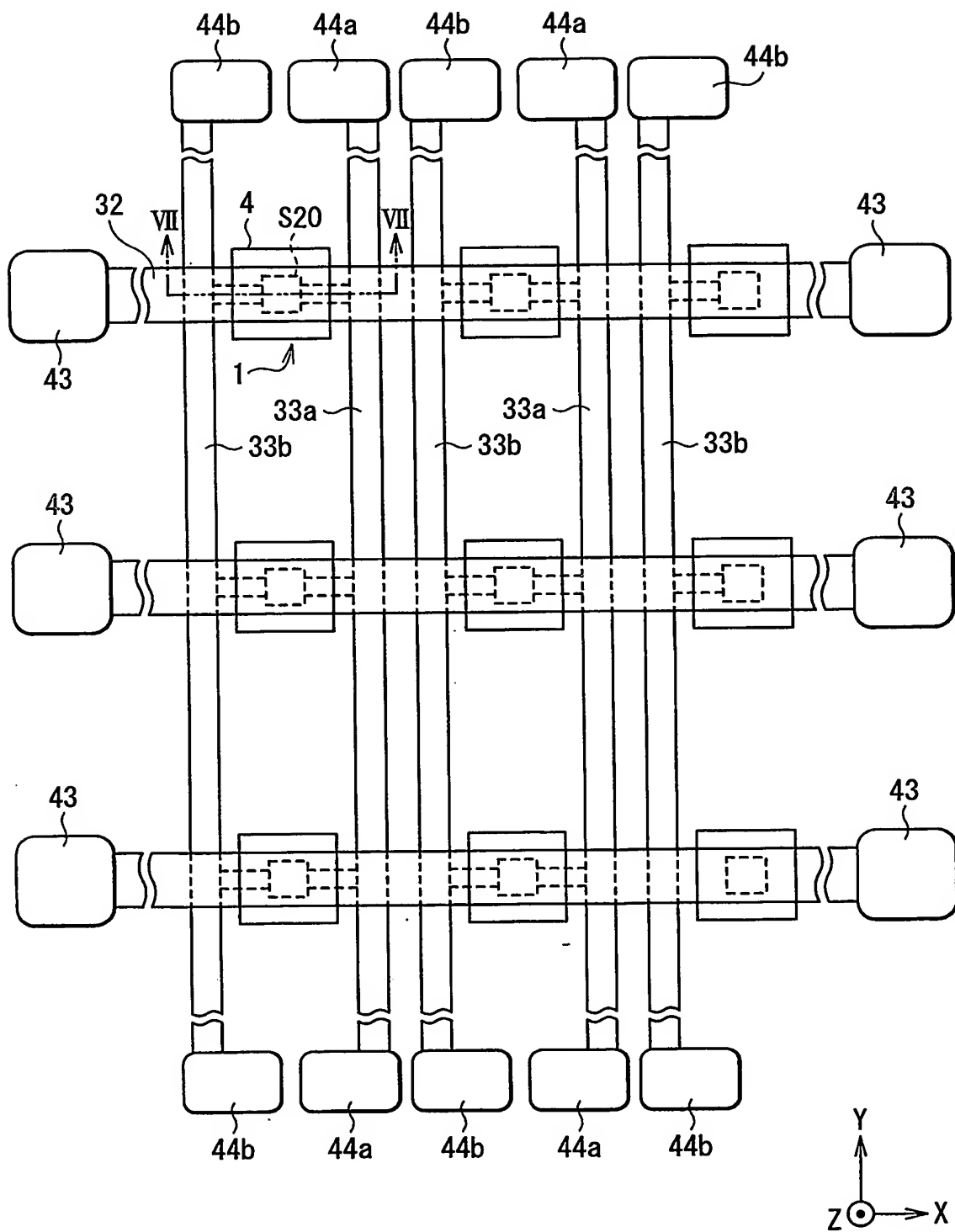
5/38

第5図



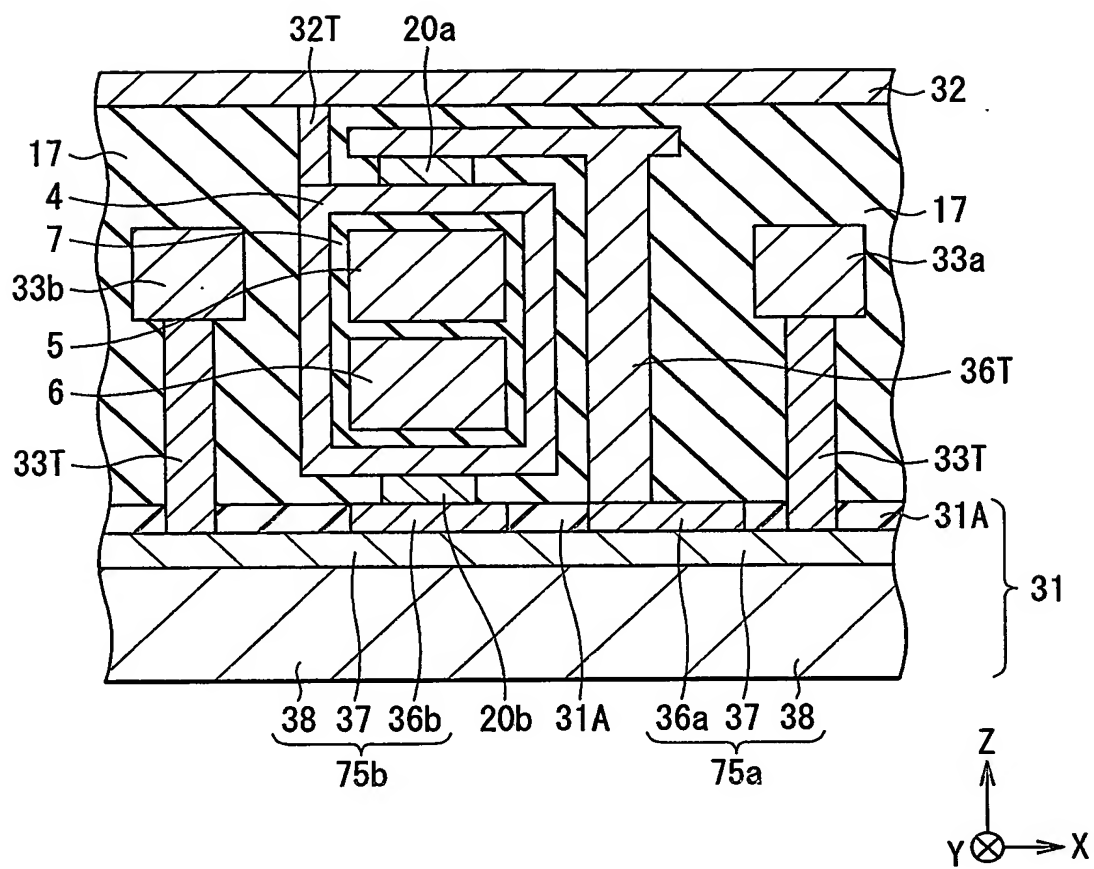
6/38

第6図



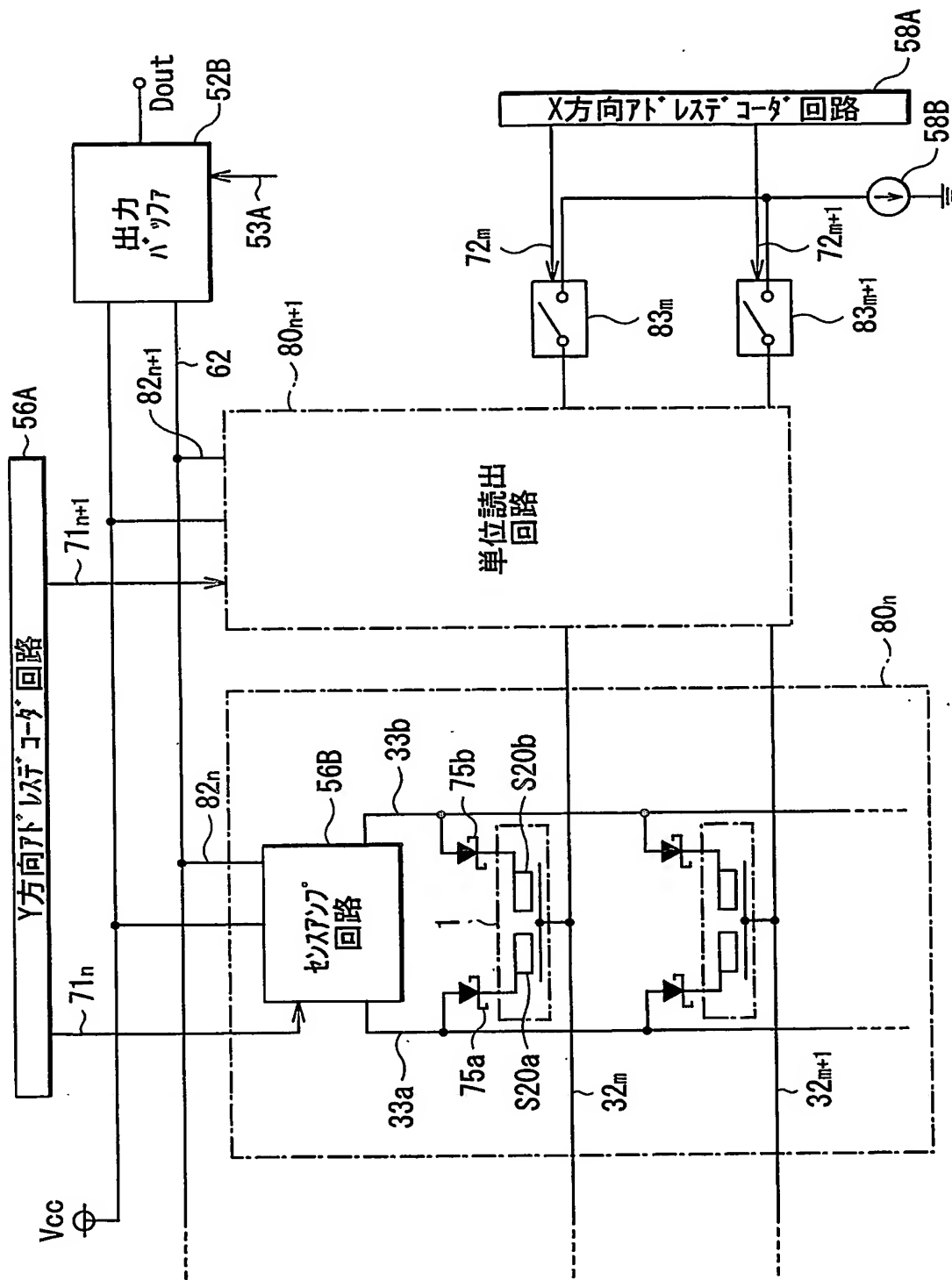
7/38

第7図



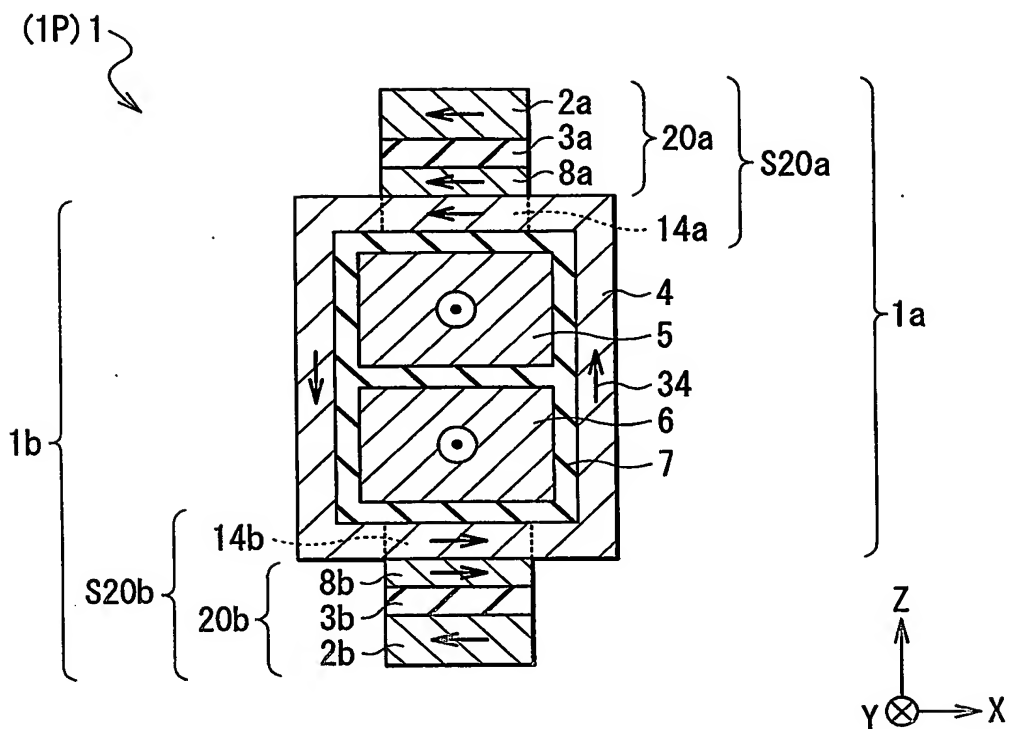
8 / 38

第8図

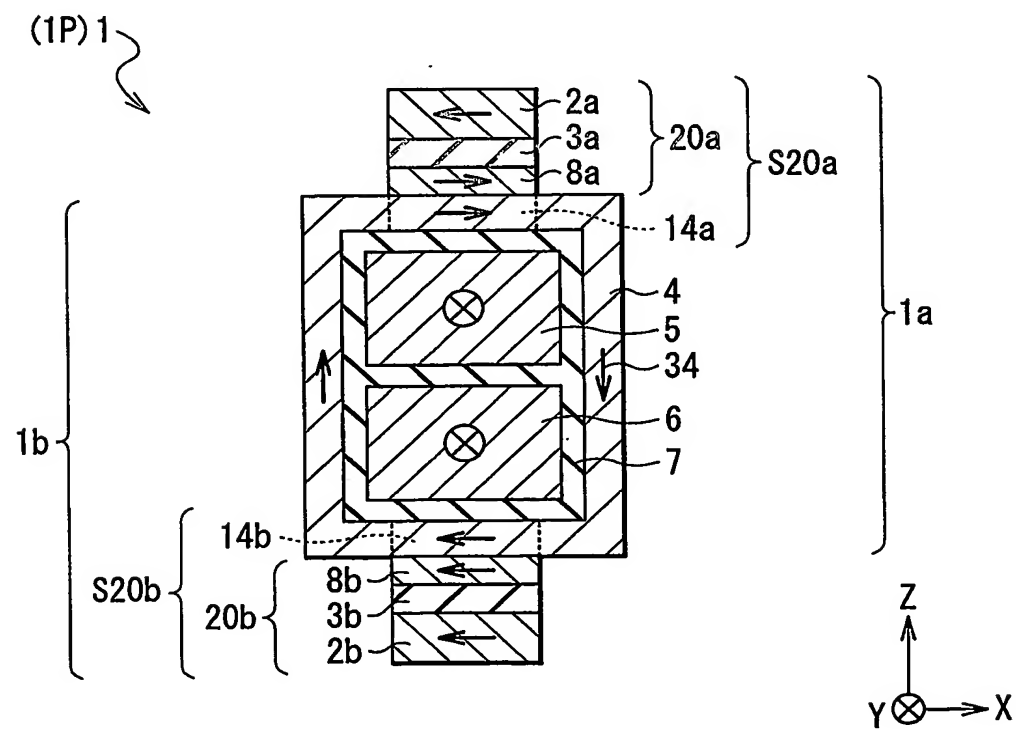




第9A図

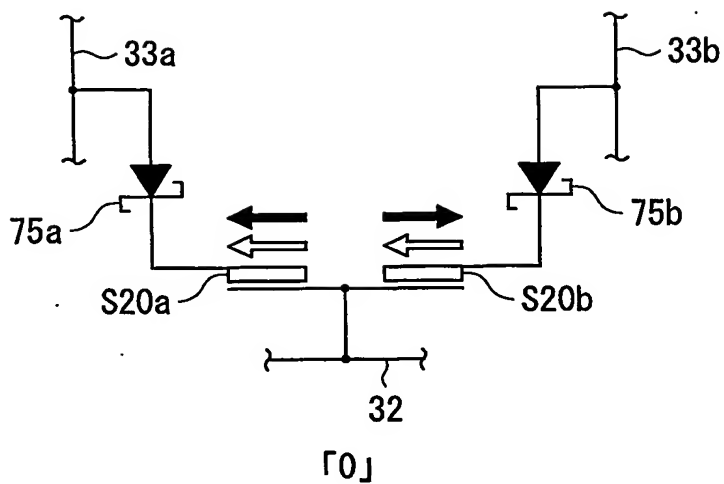


第9B図

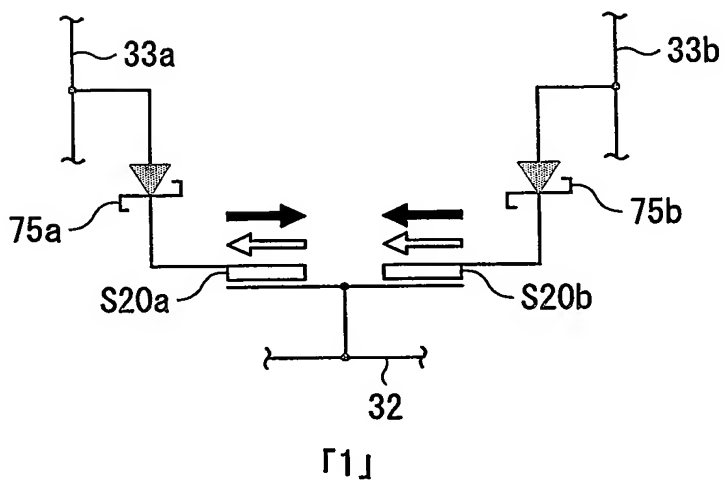


10/38

第10A図

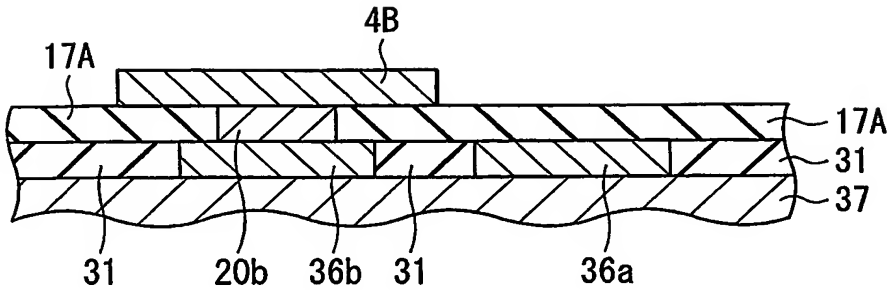


第10B図

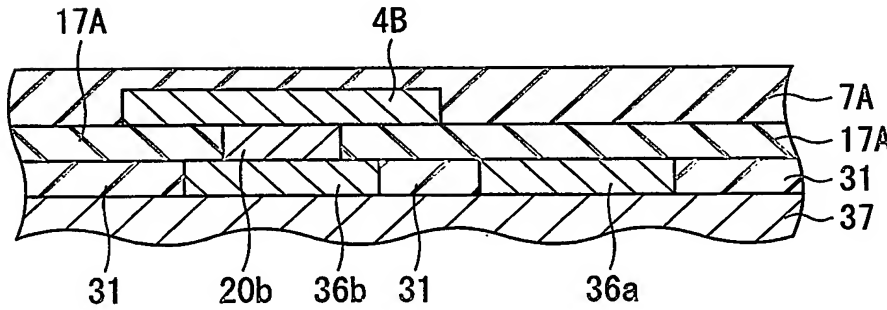


11/38

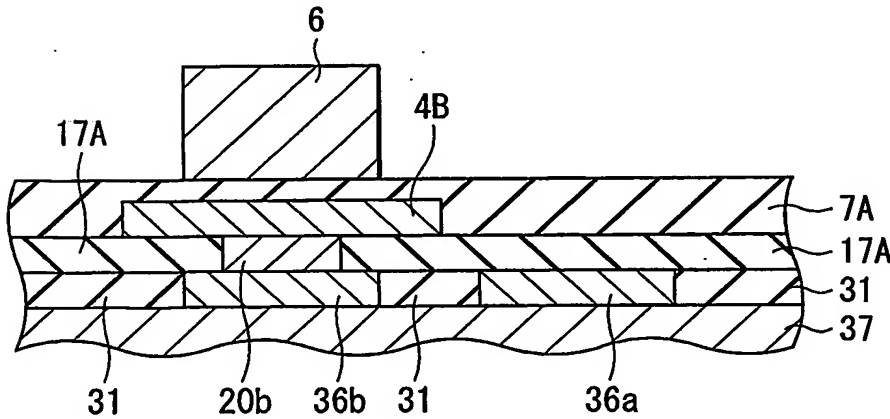
第11図



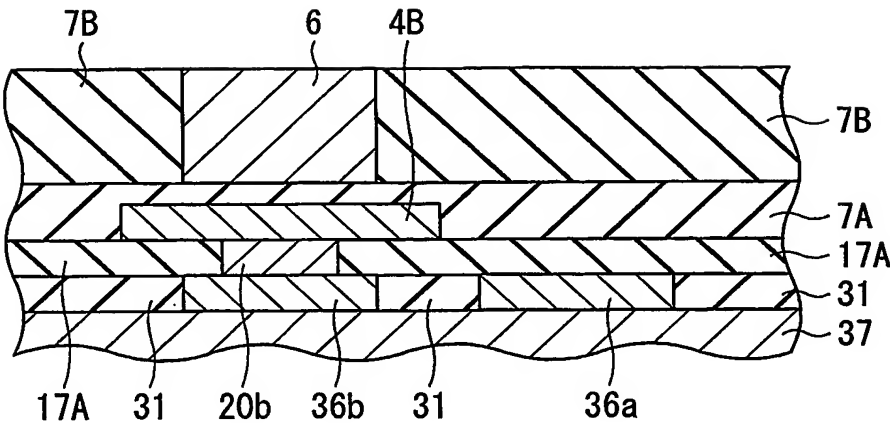
第12図



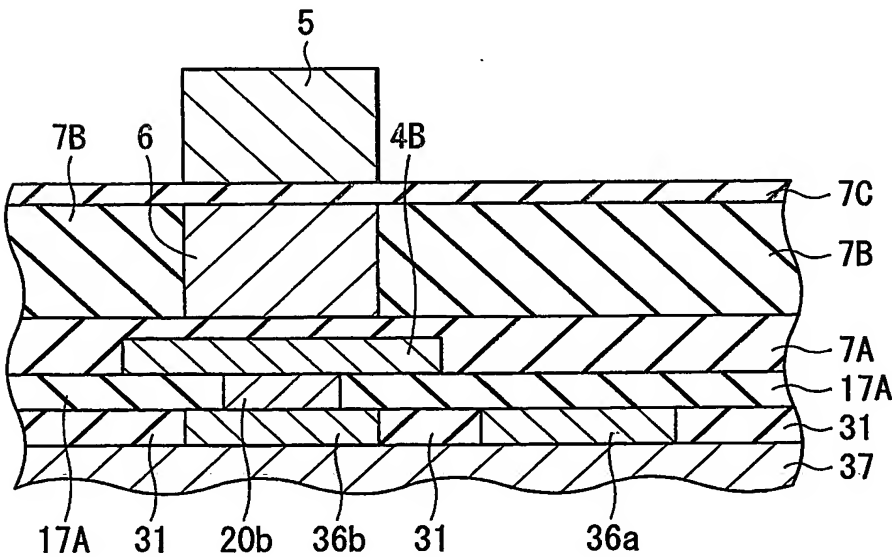
第13図



第14図

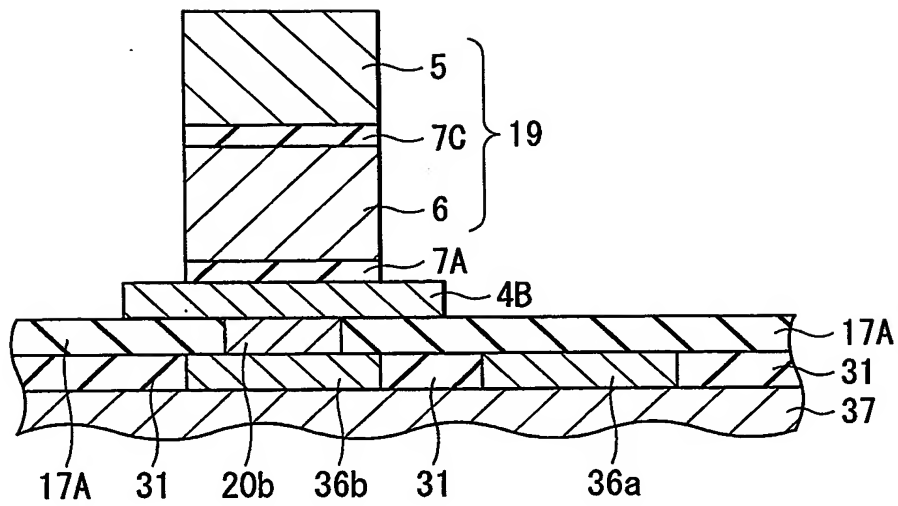


第15図

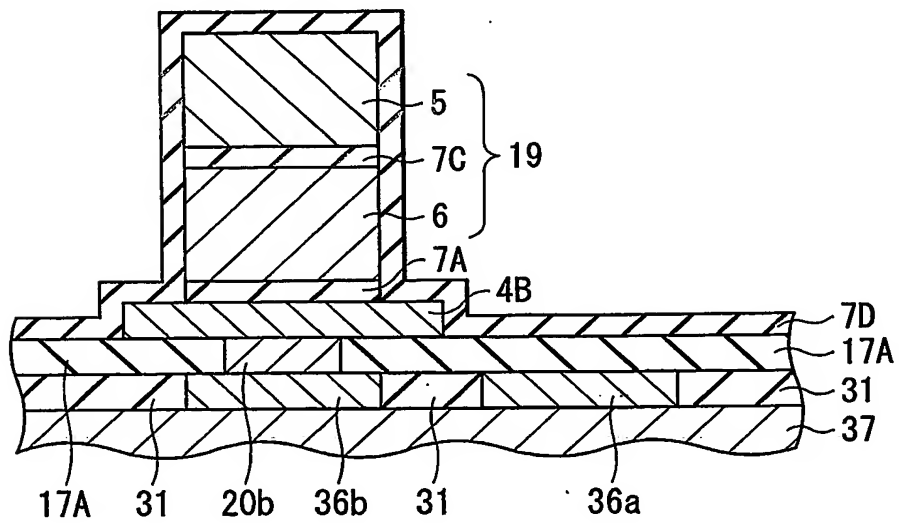


13/38

第16図

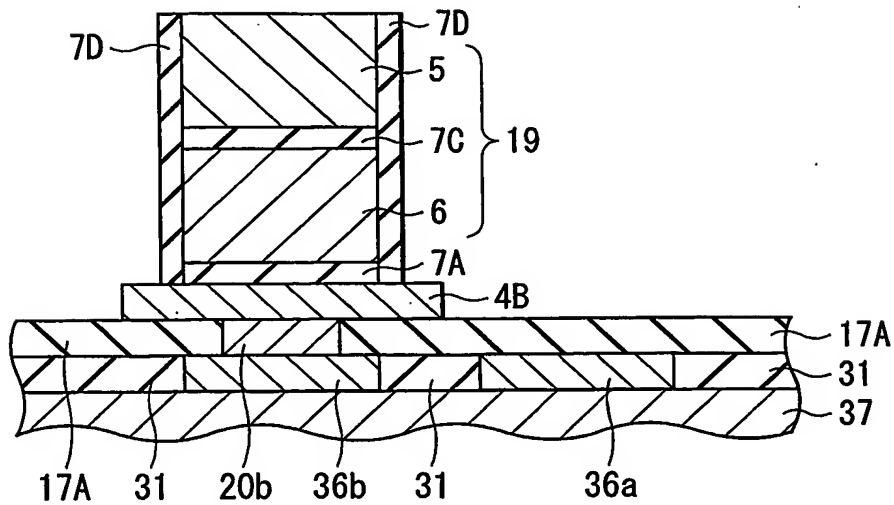


第17図

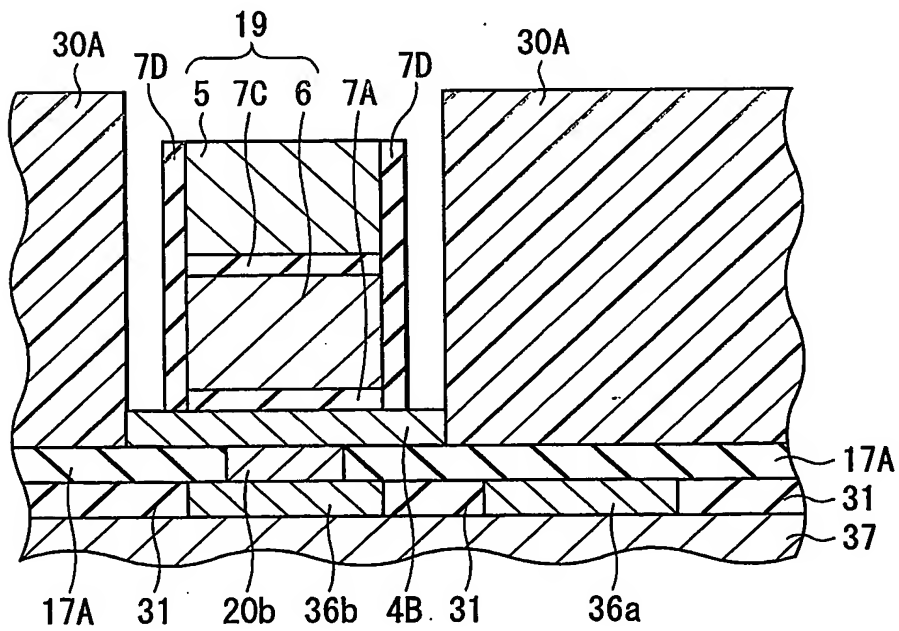


14/38

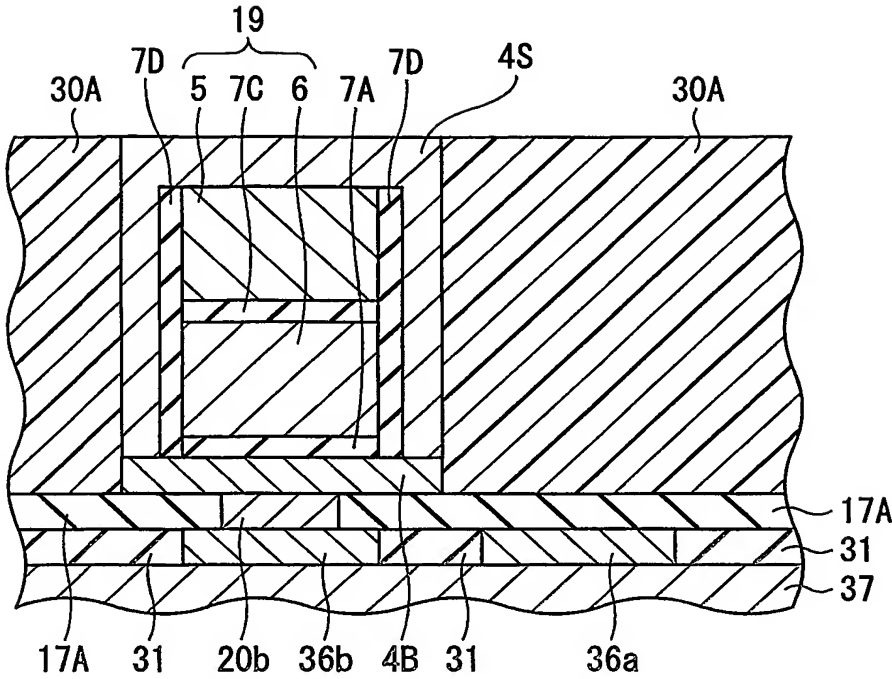
第18図



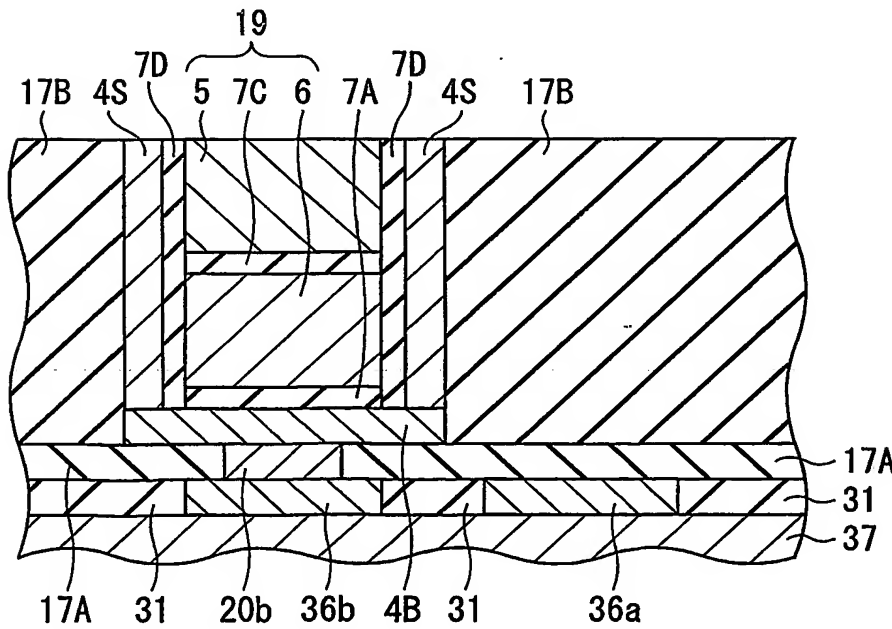
第19図



第20図

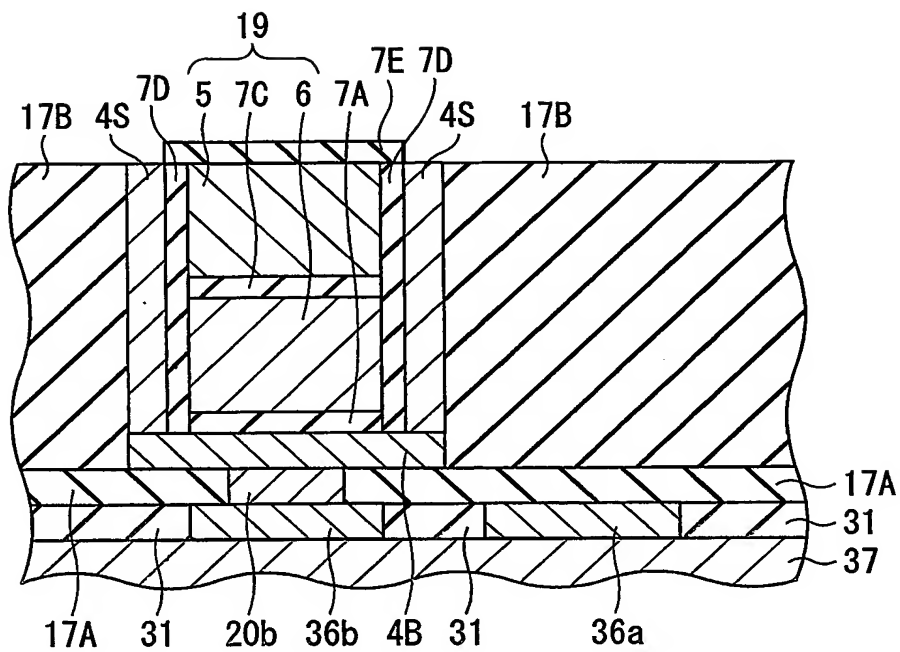


第21図

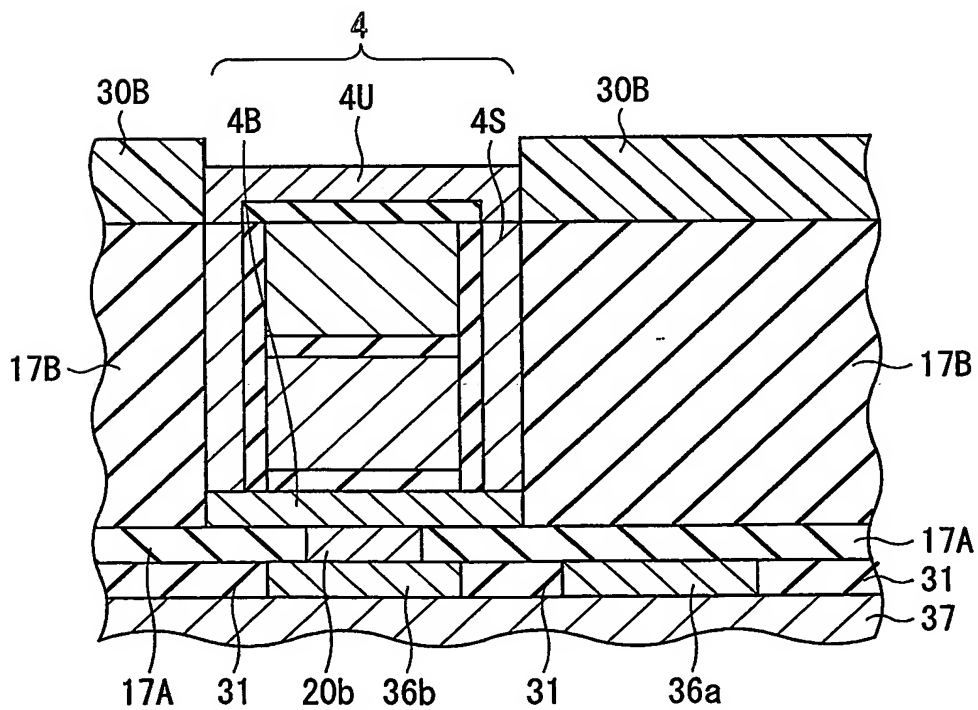


16/38

第22図



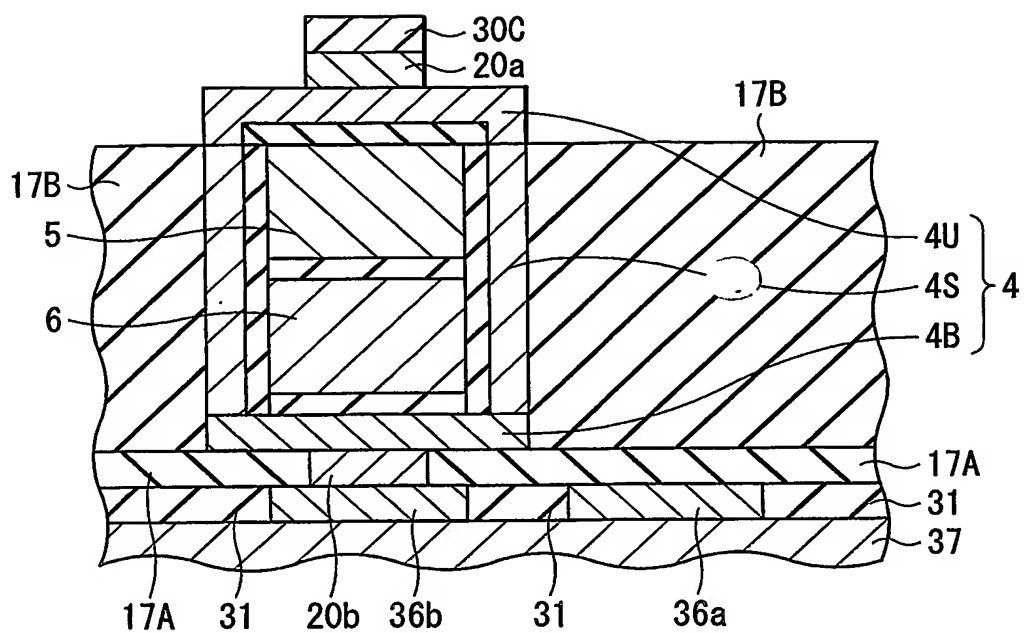
第23図



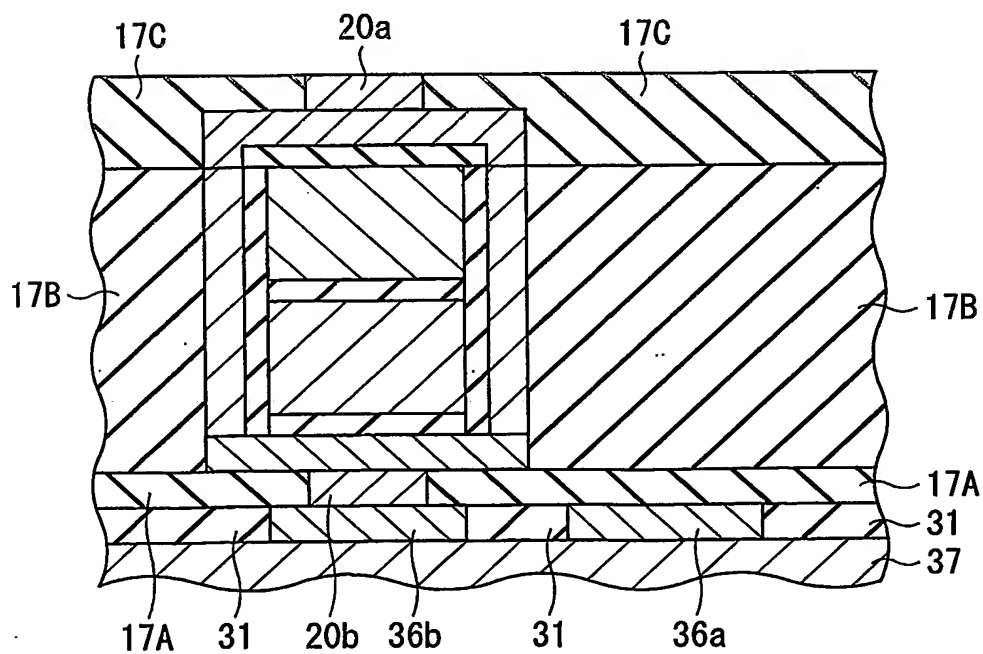


17/38

第24図

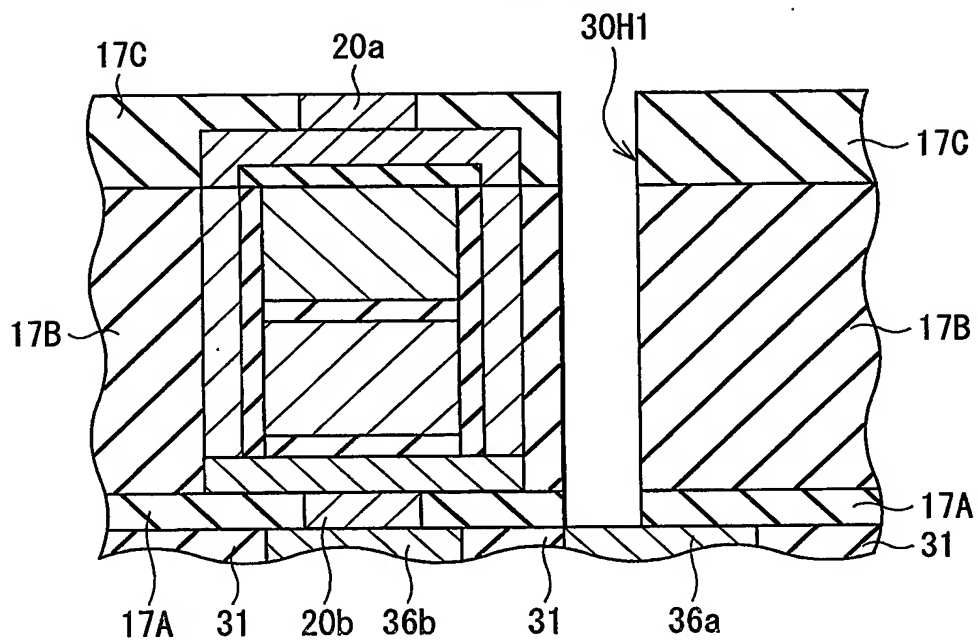


第25図

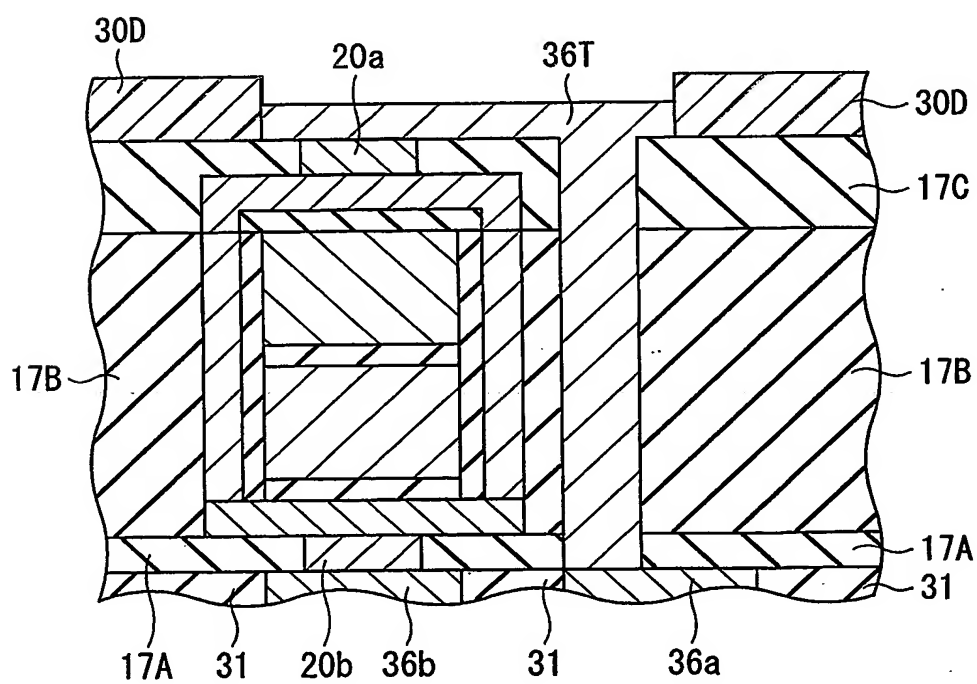


18/38

第26図

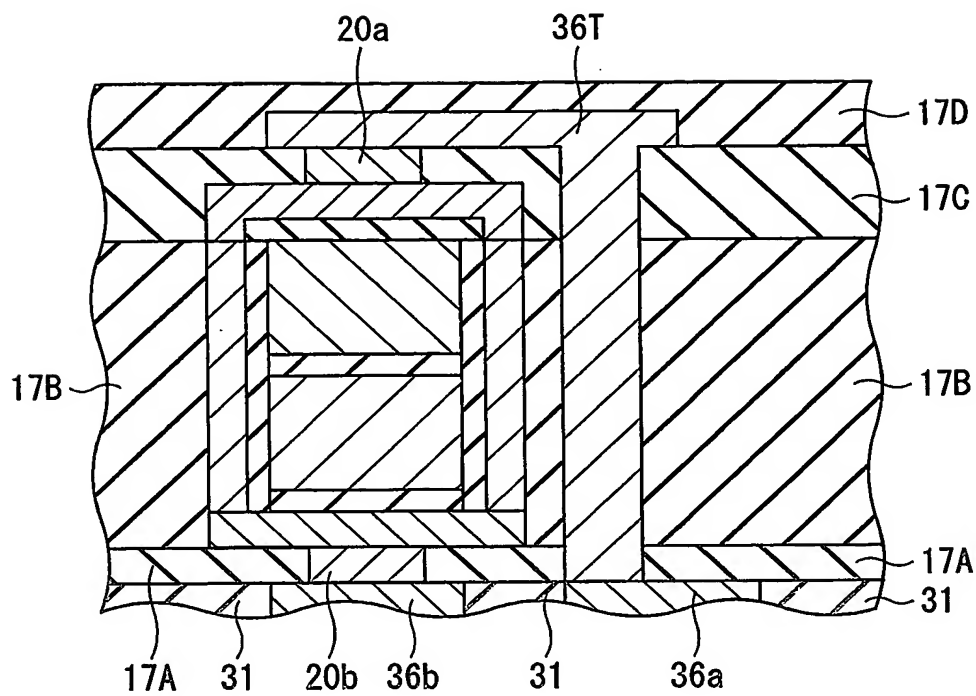


第27図

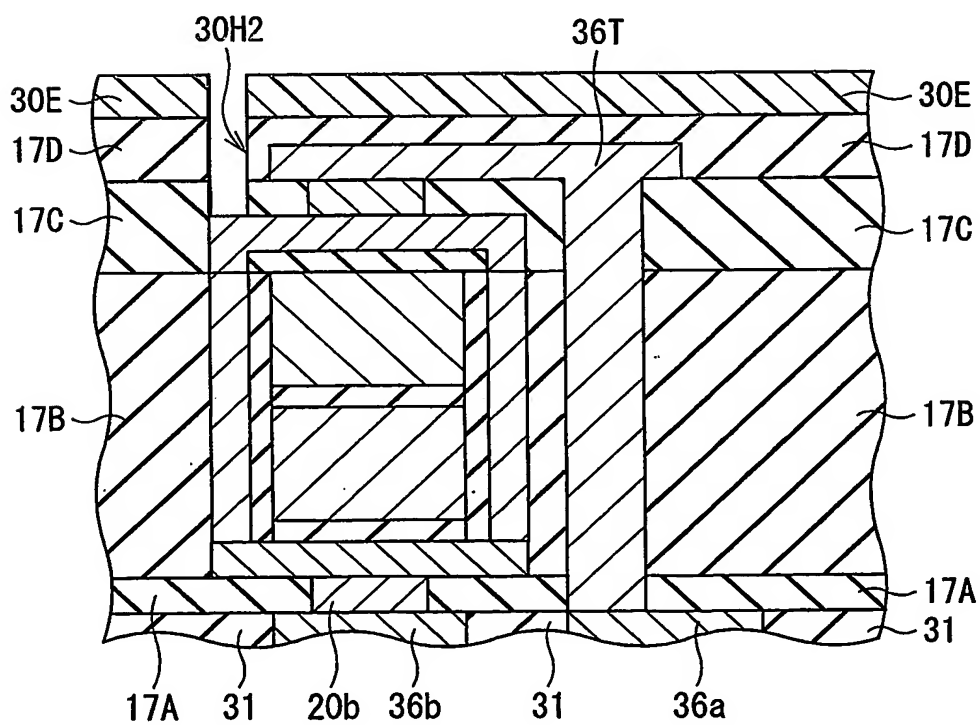


19/38

第28図

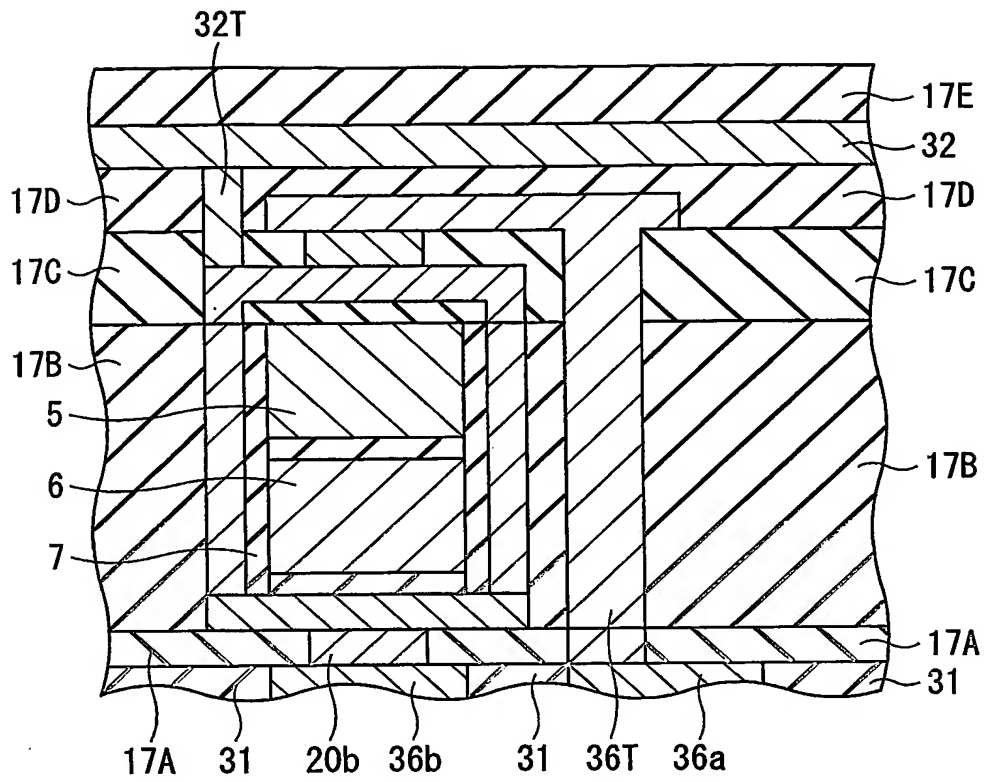


第29図



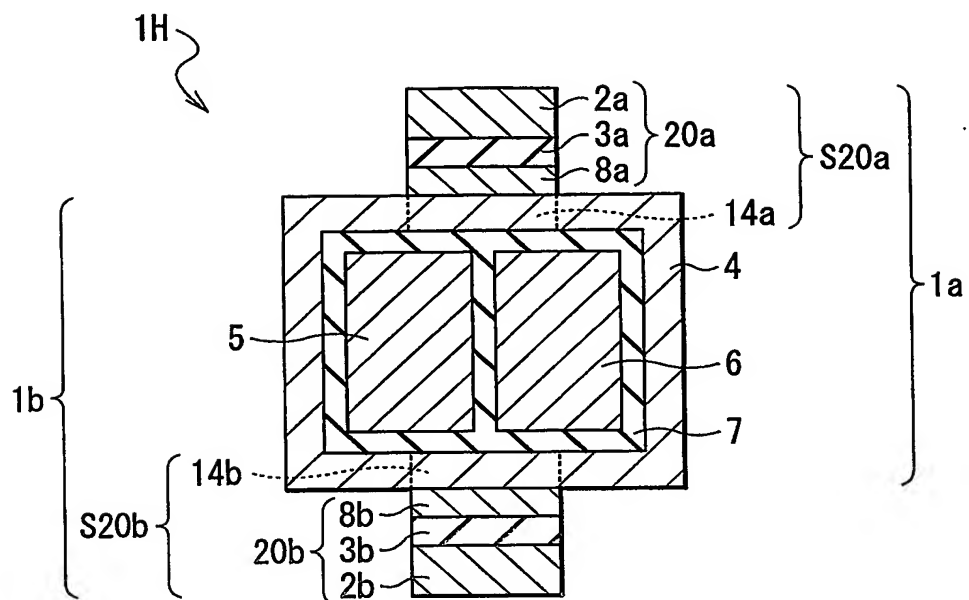
20/38

第30図

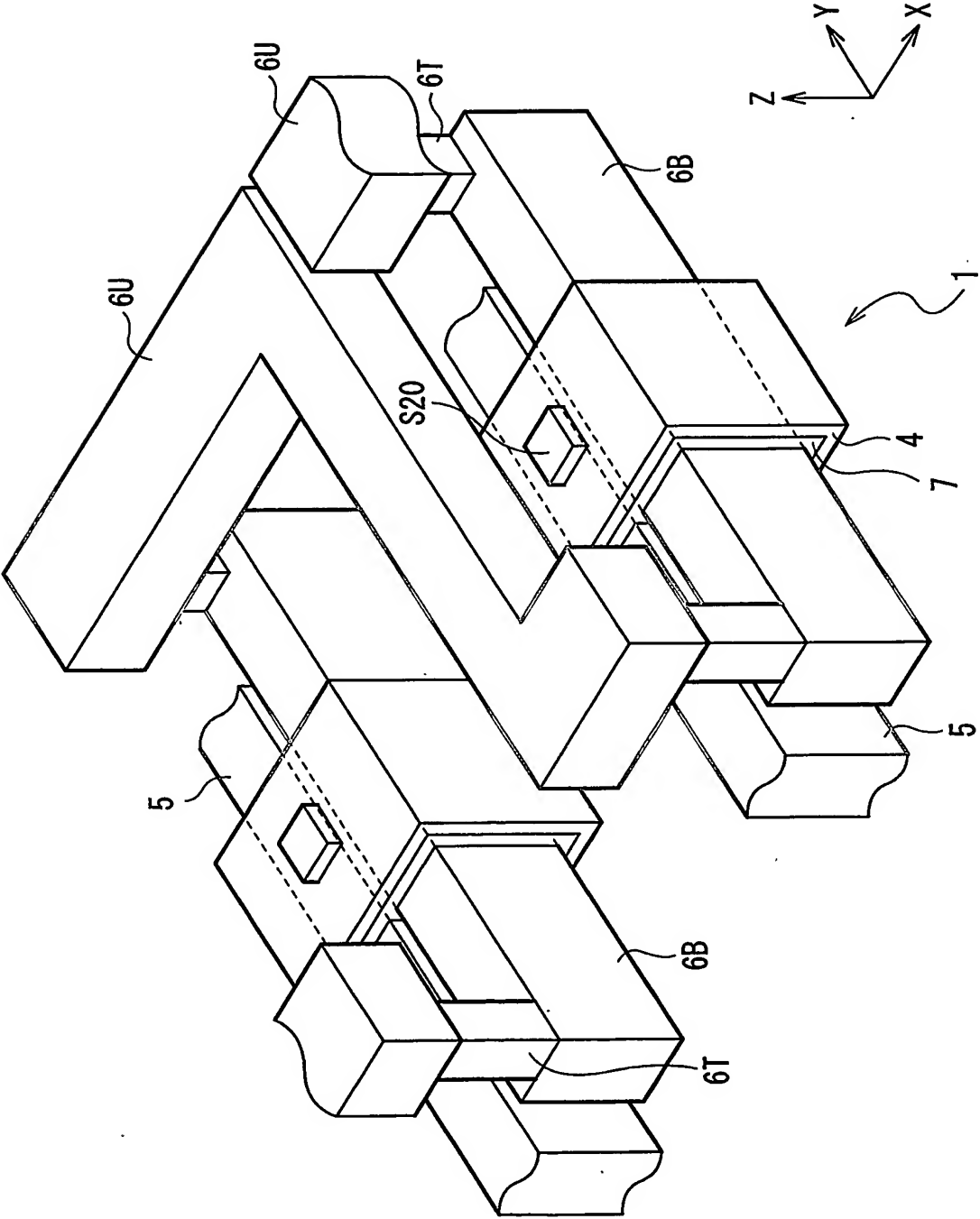


21/38

第31図

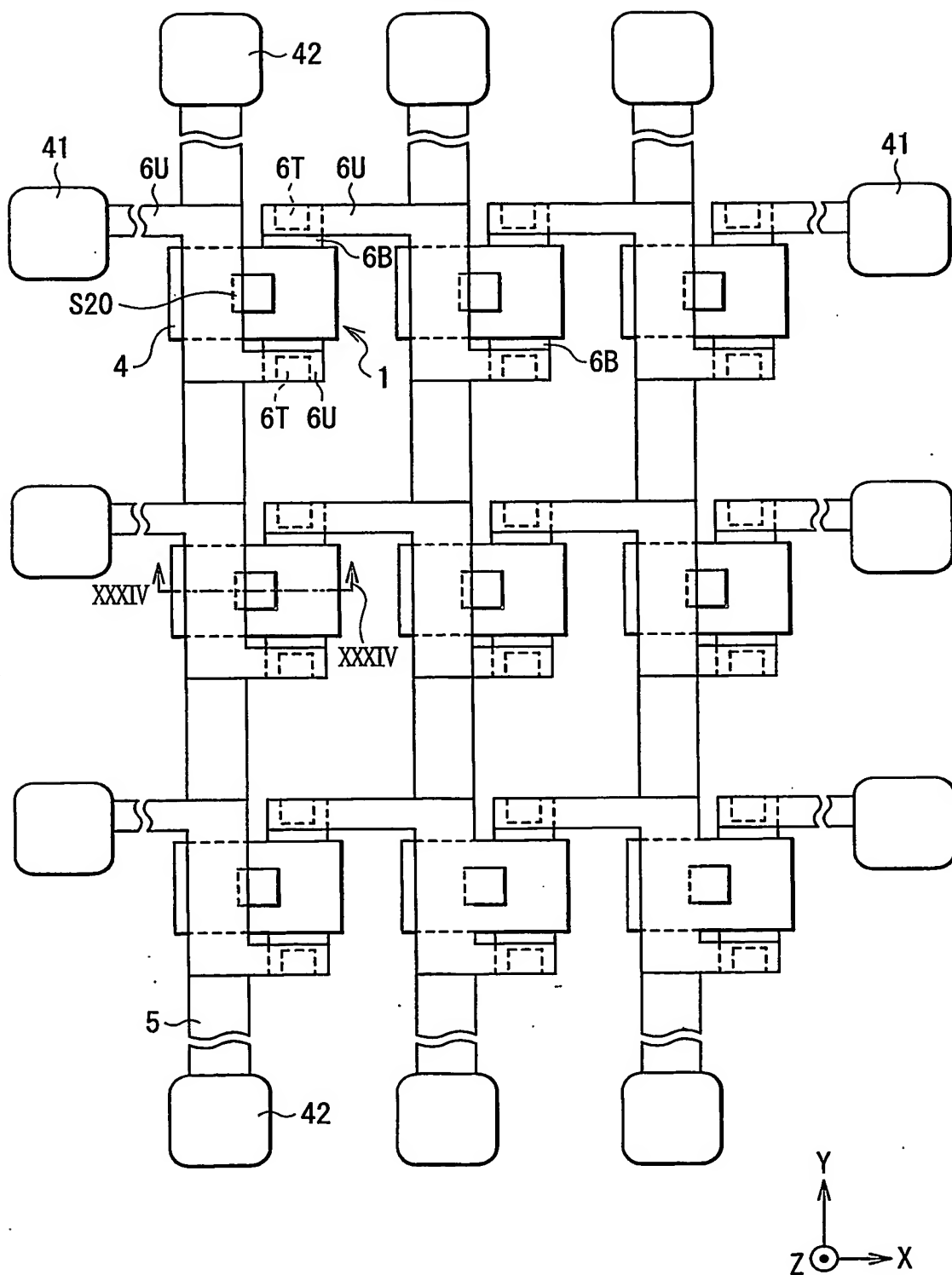


第32図



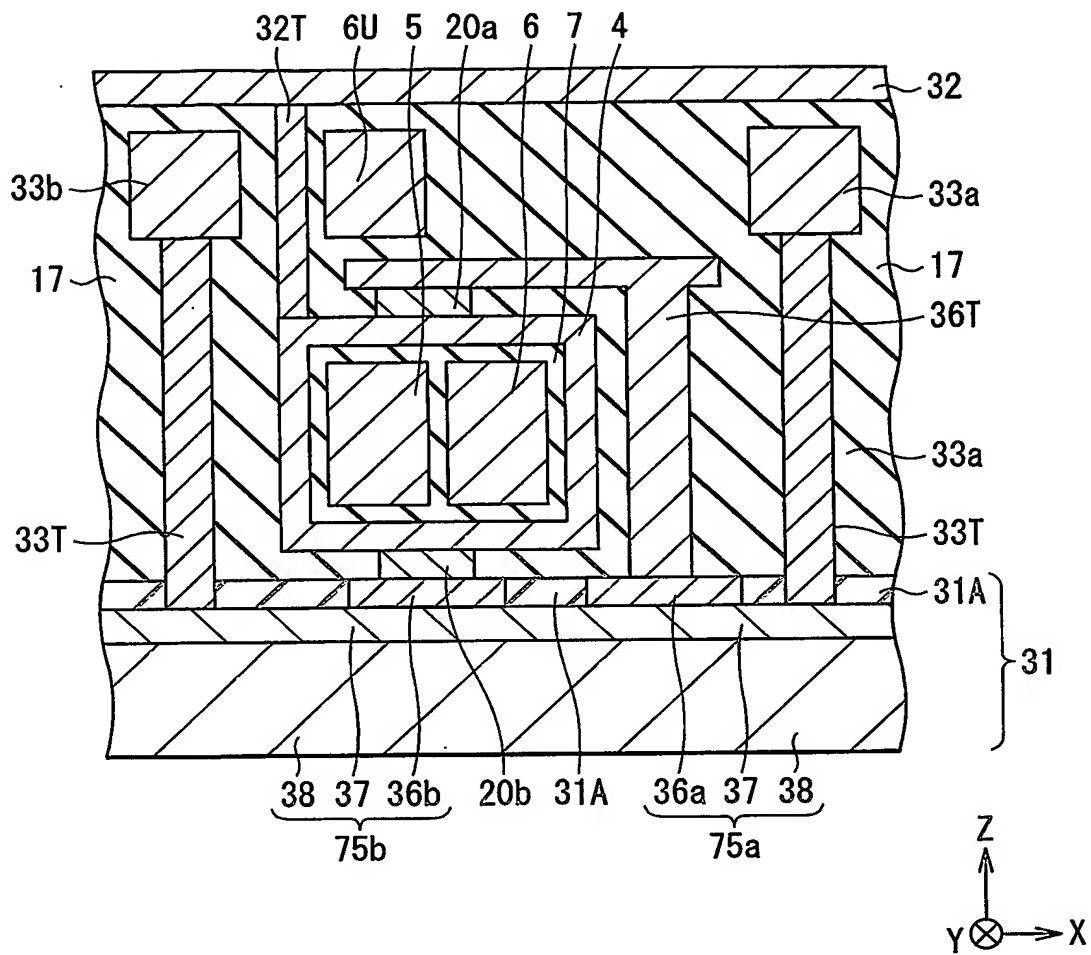
23/38

第33図



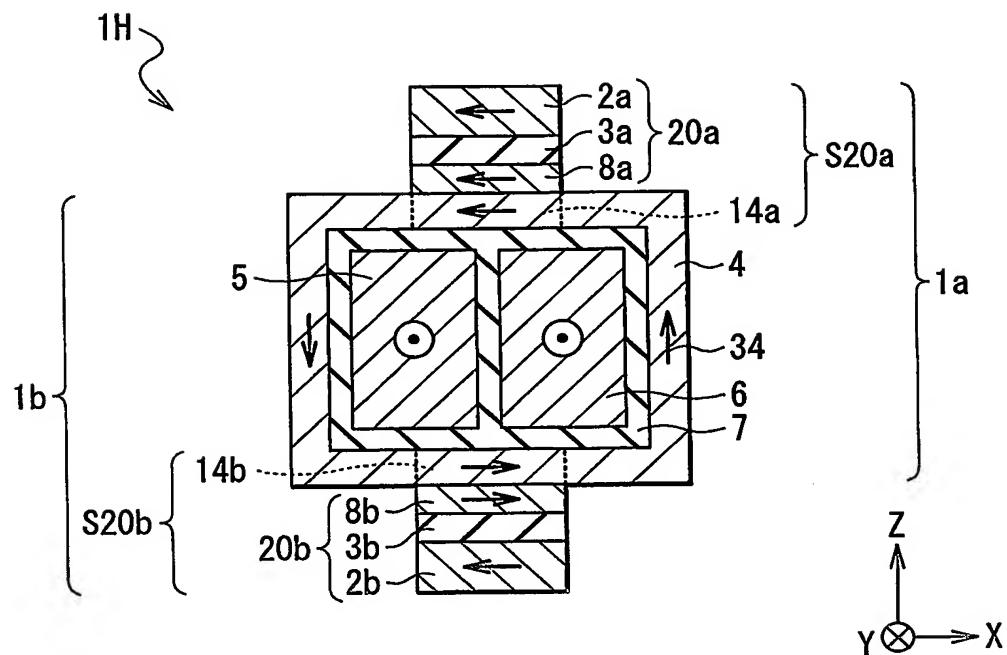
24/38

第34図

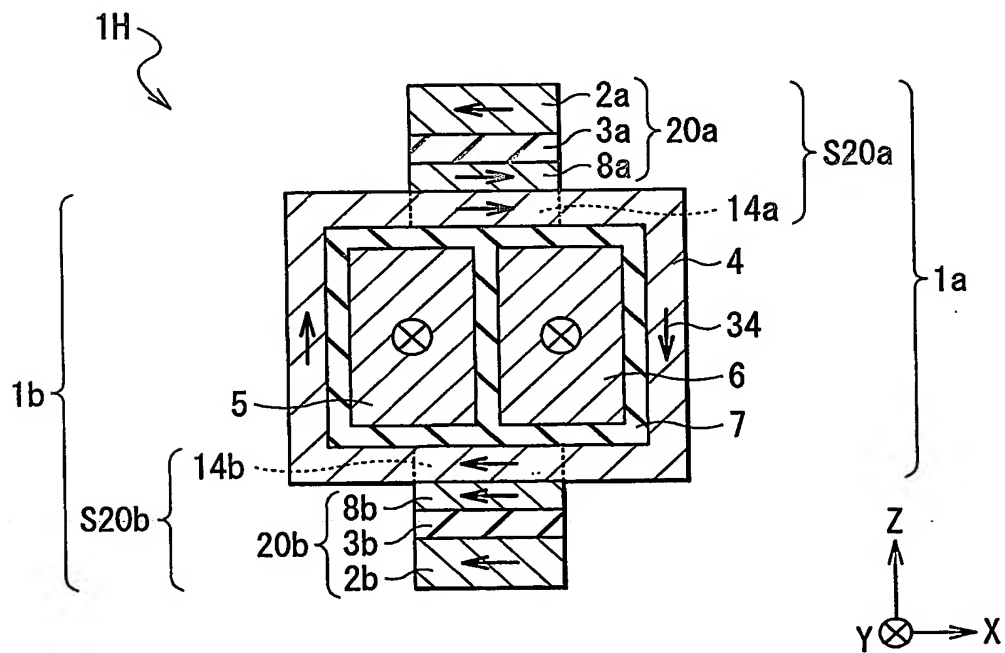




第35A図

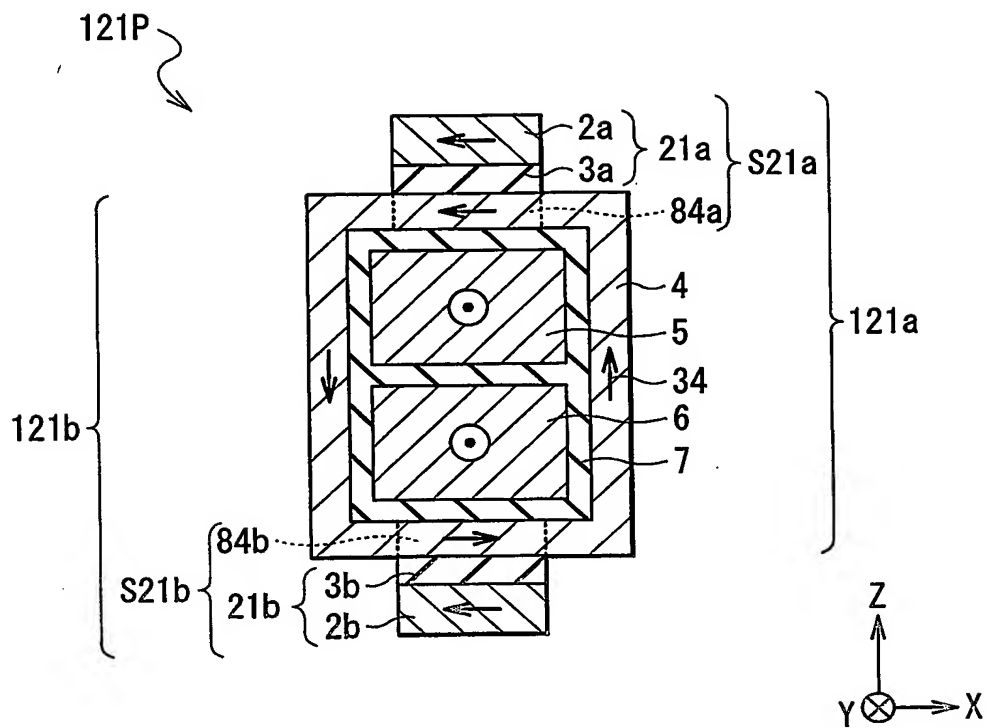


第35B図

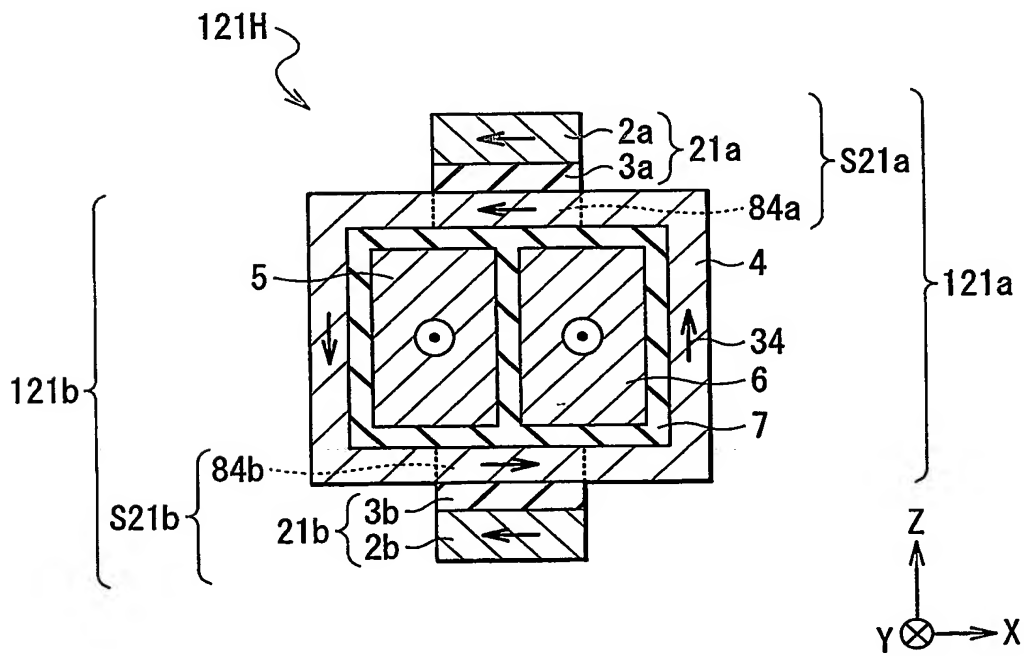


26/38

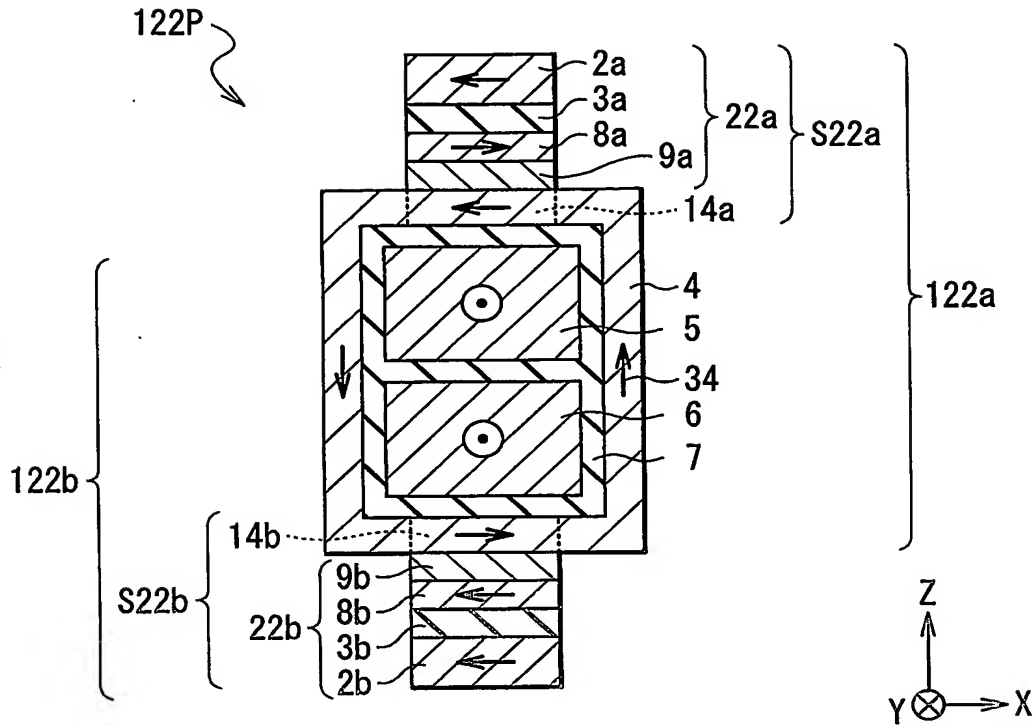
第36A図



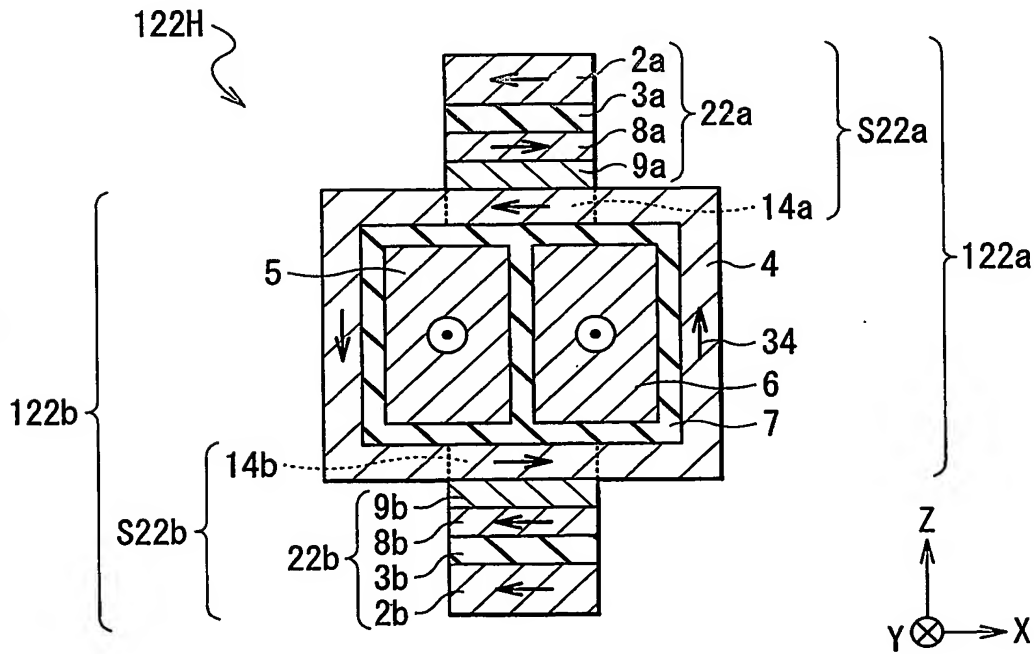
第36B図



第37A図

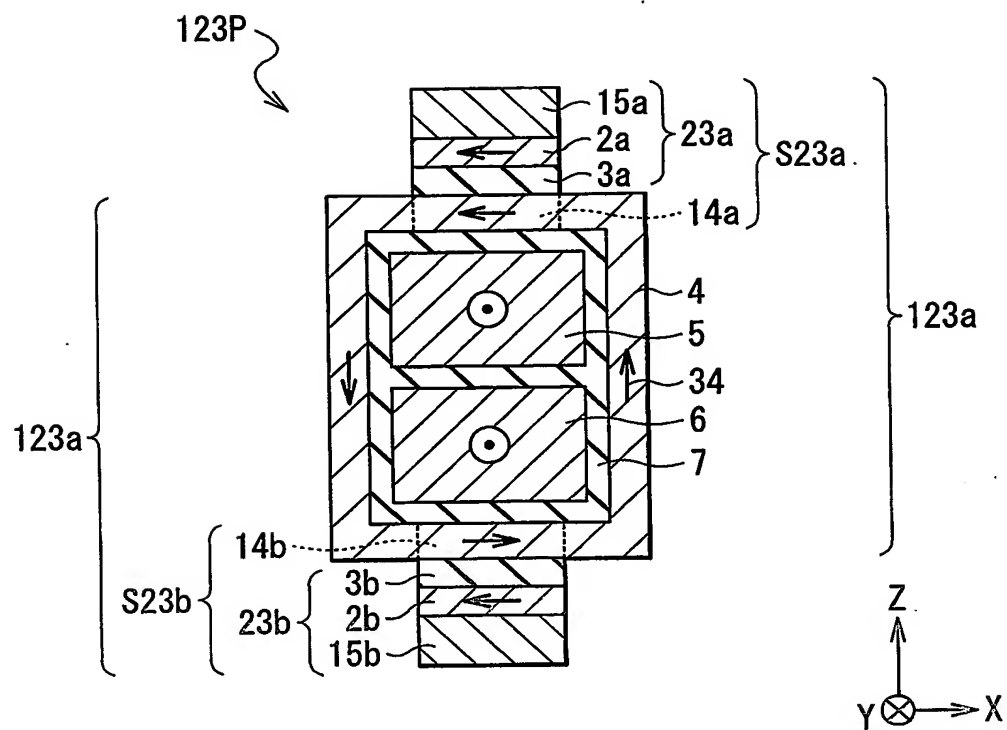


第37B図

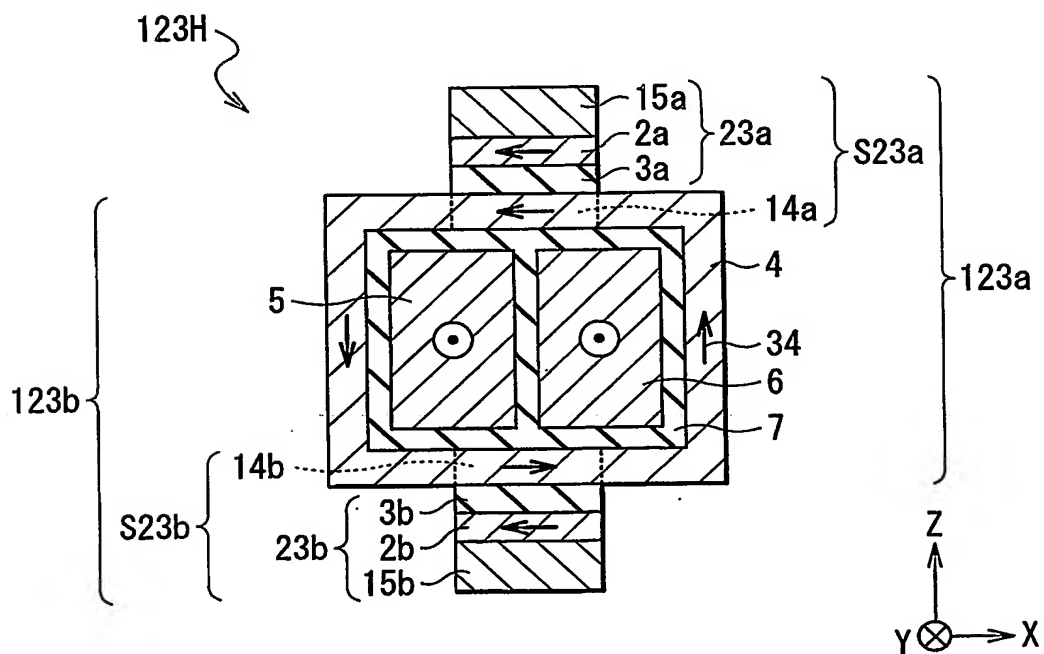


28/38

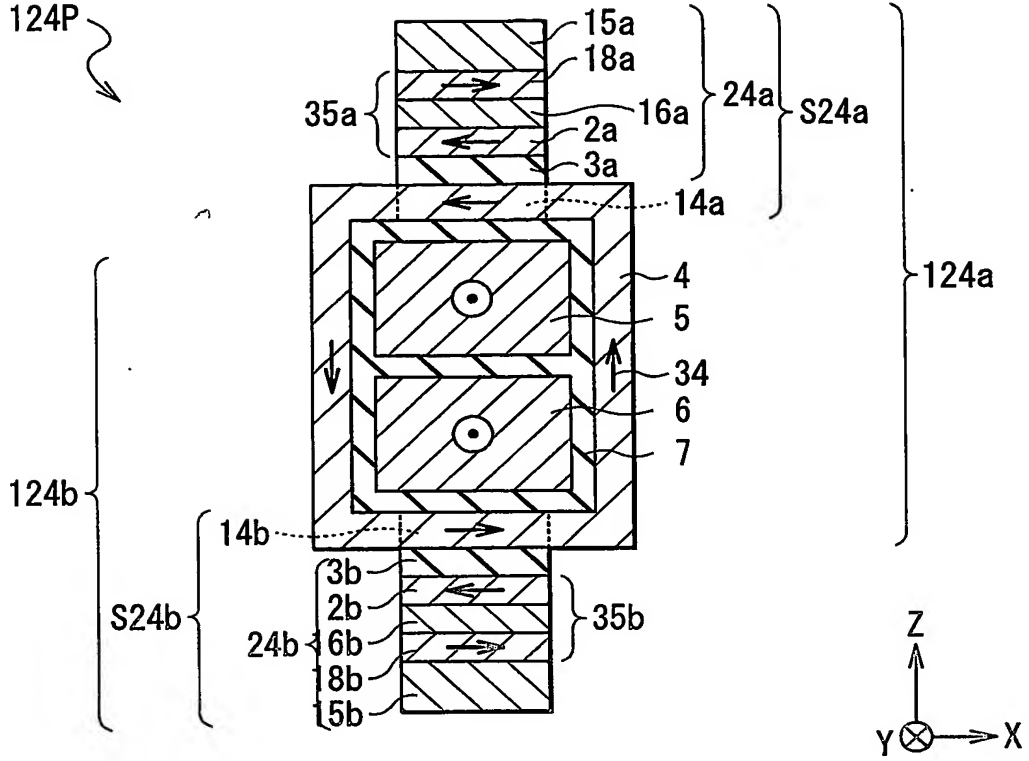
第38A図



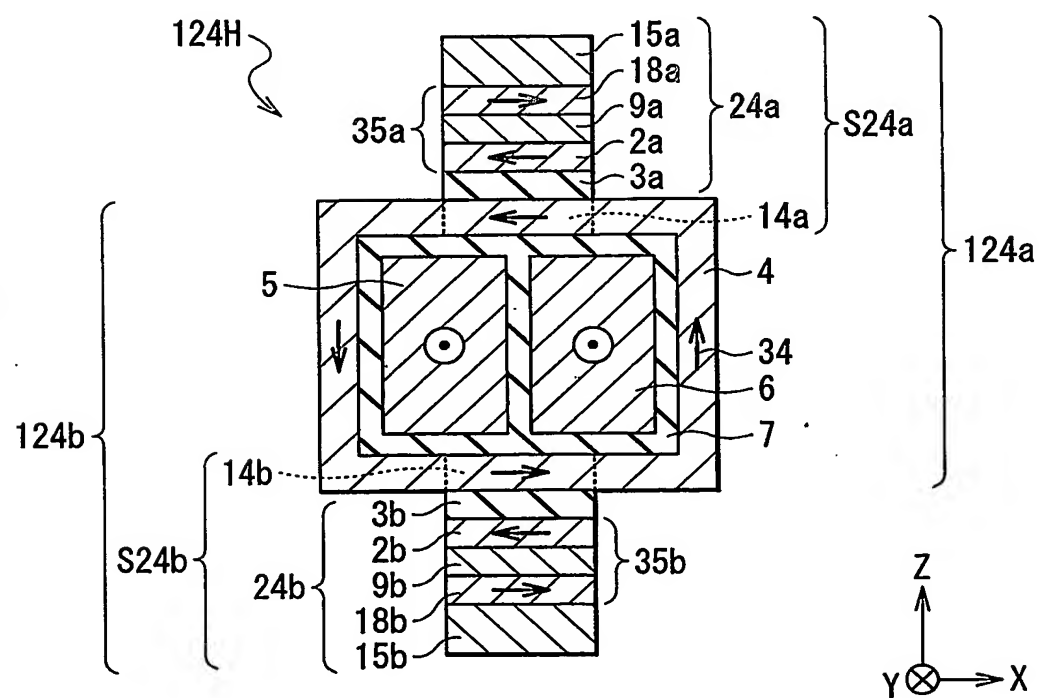
第38B図



第39A図

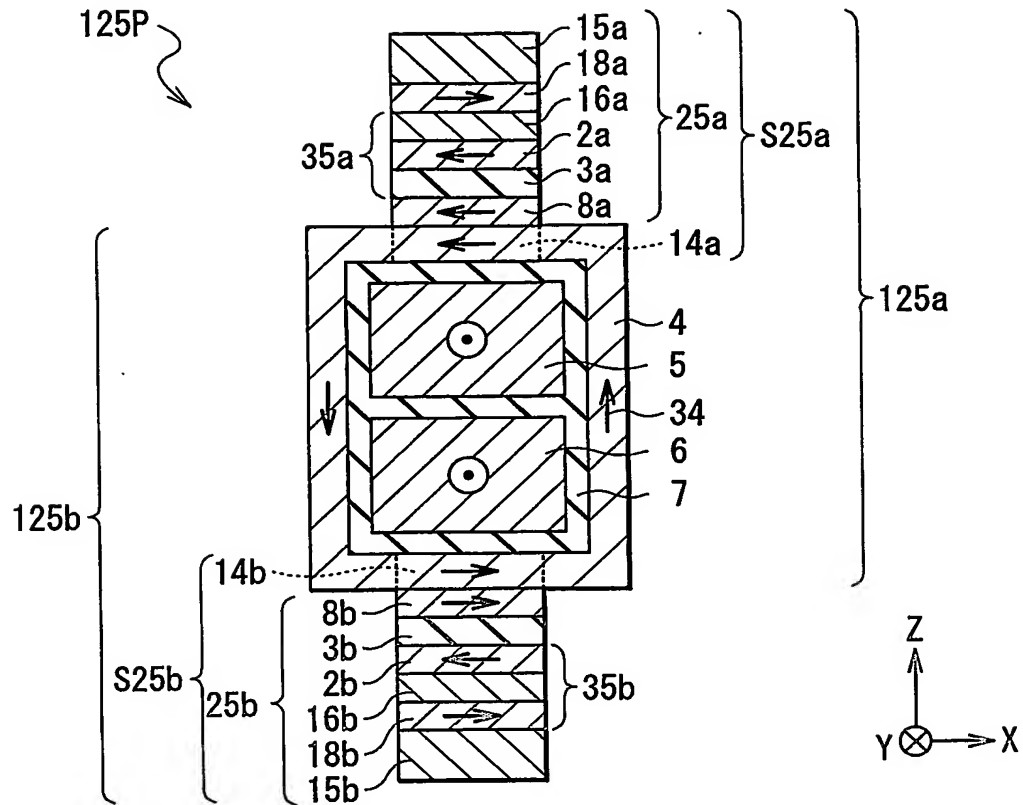


第39B図

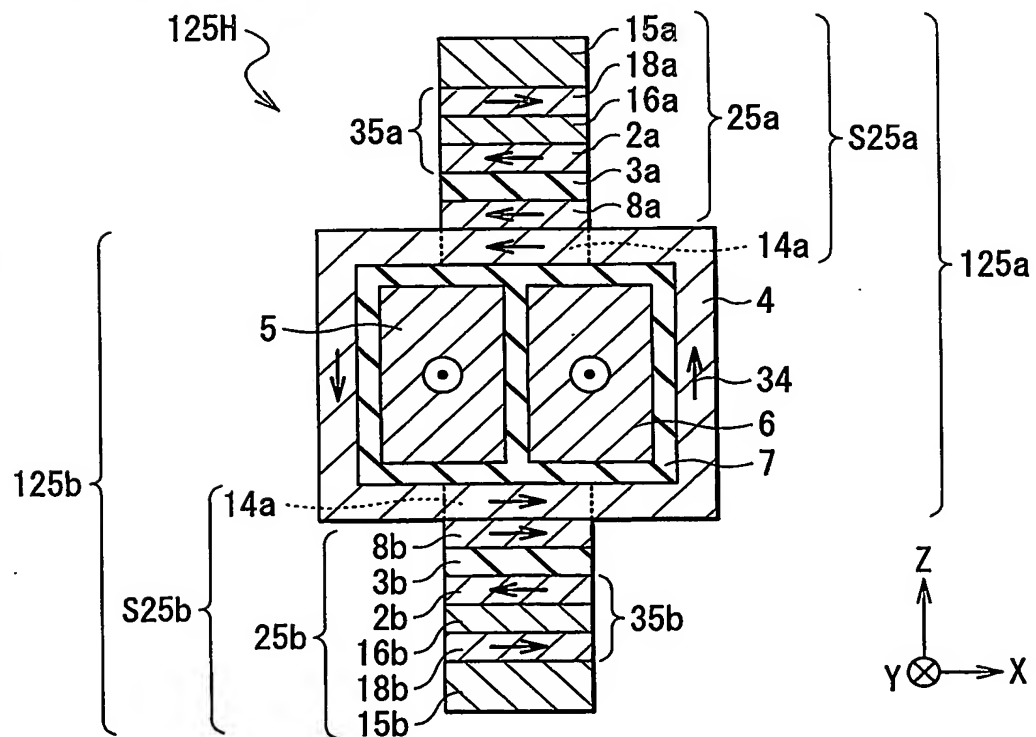


30/38

第40A図

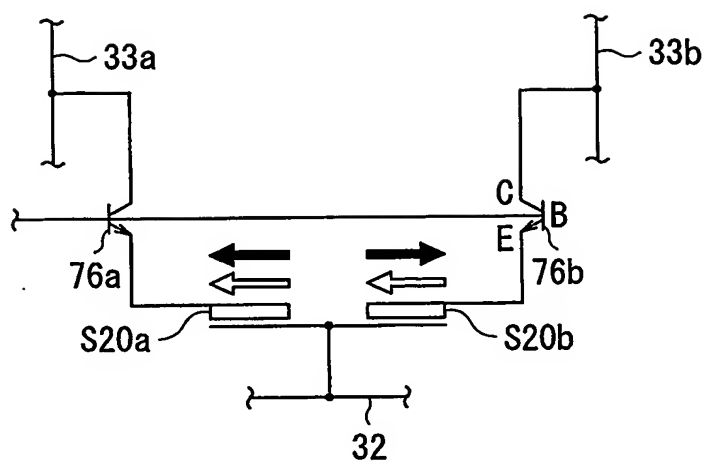


第40B図



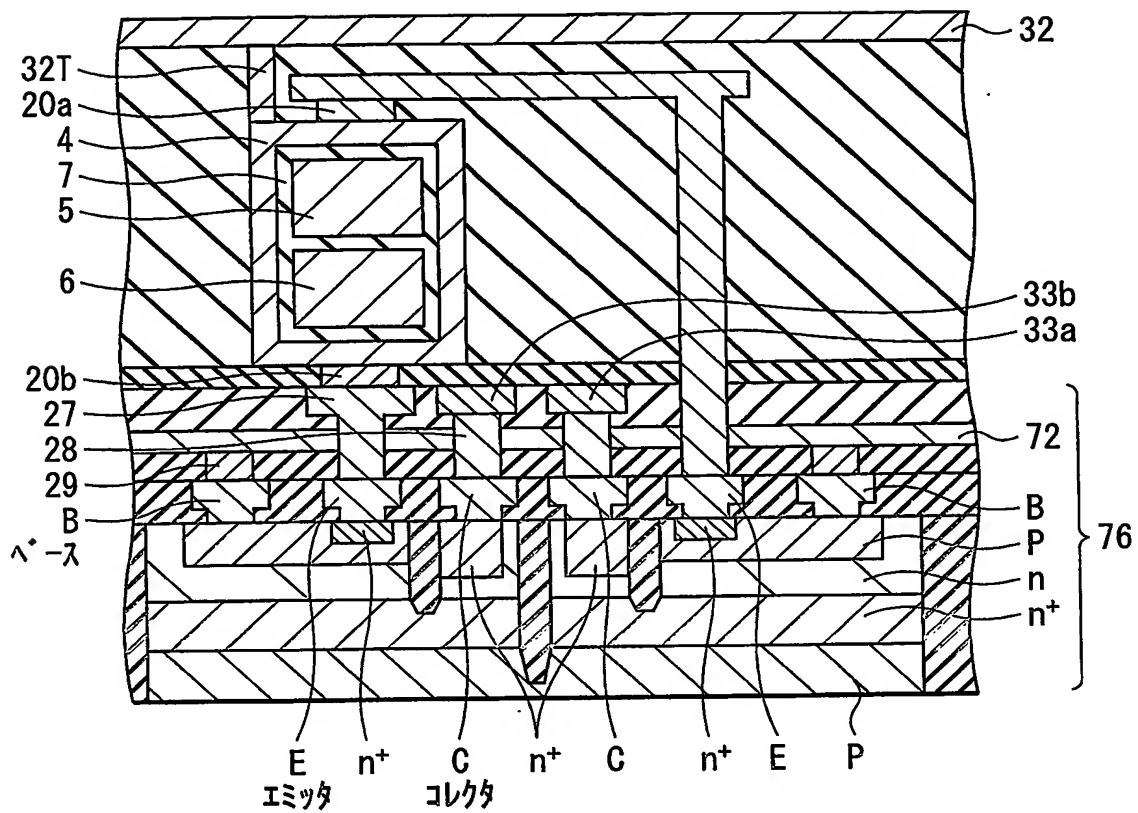
31/38

第41図



32/38

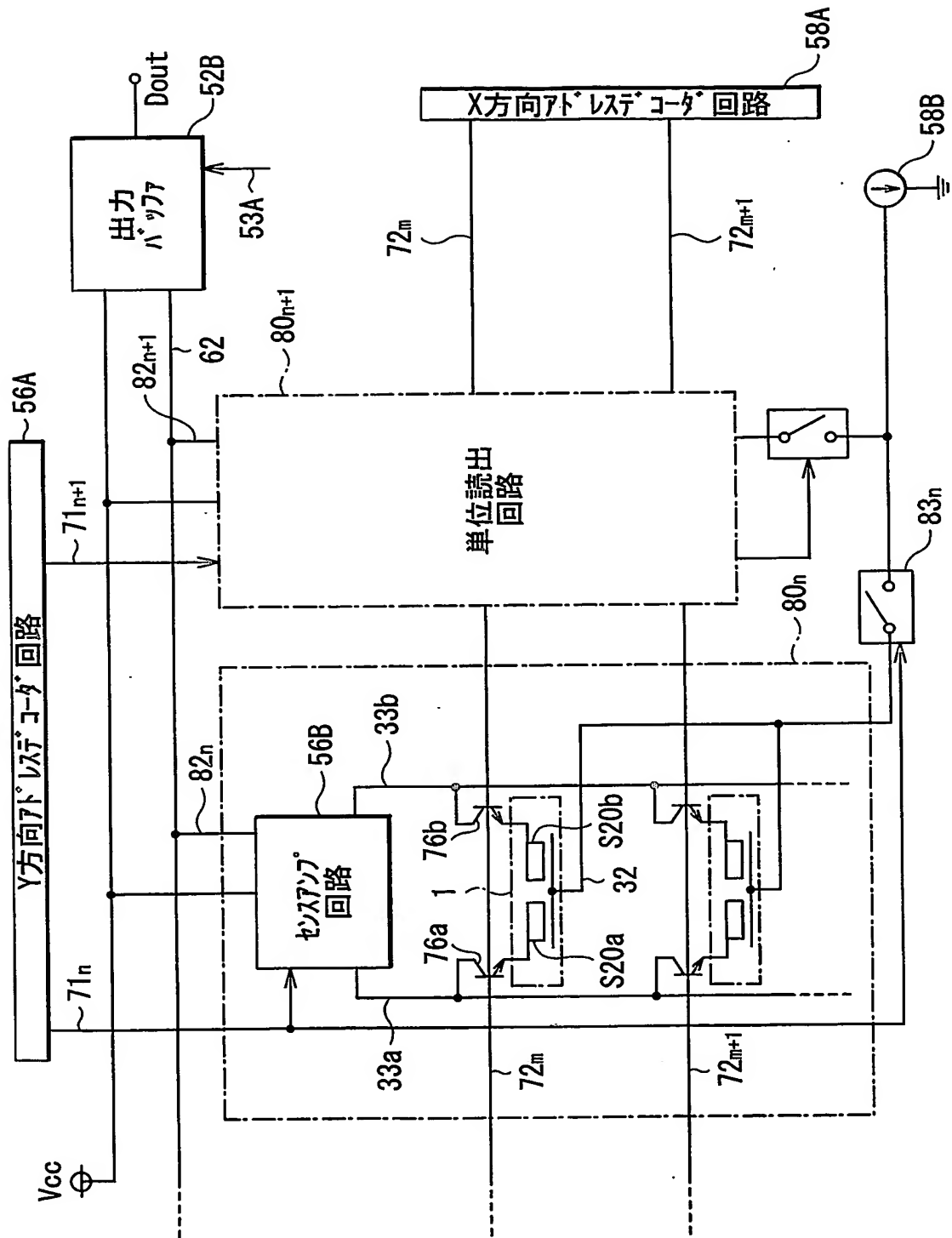
第42図





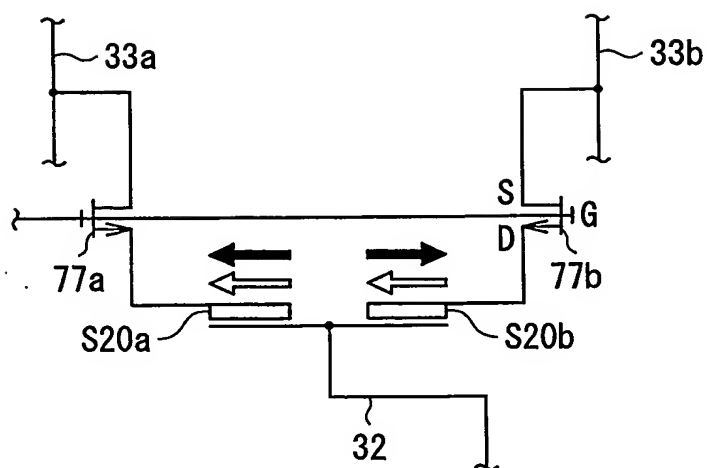
33 / 38

第43図

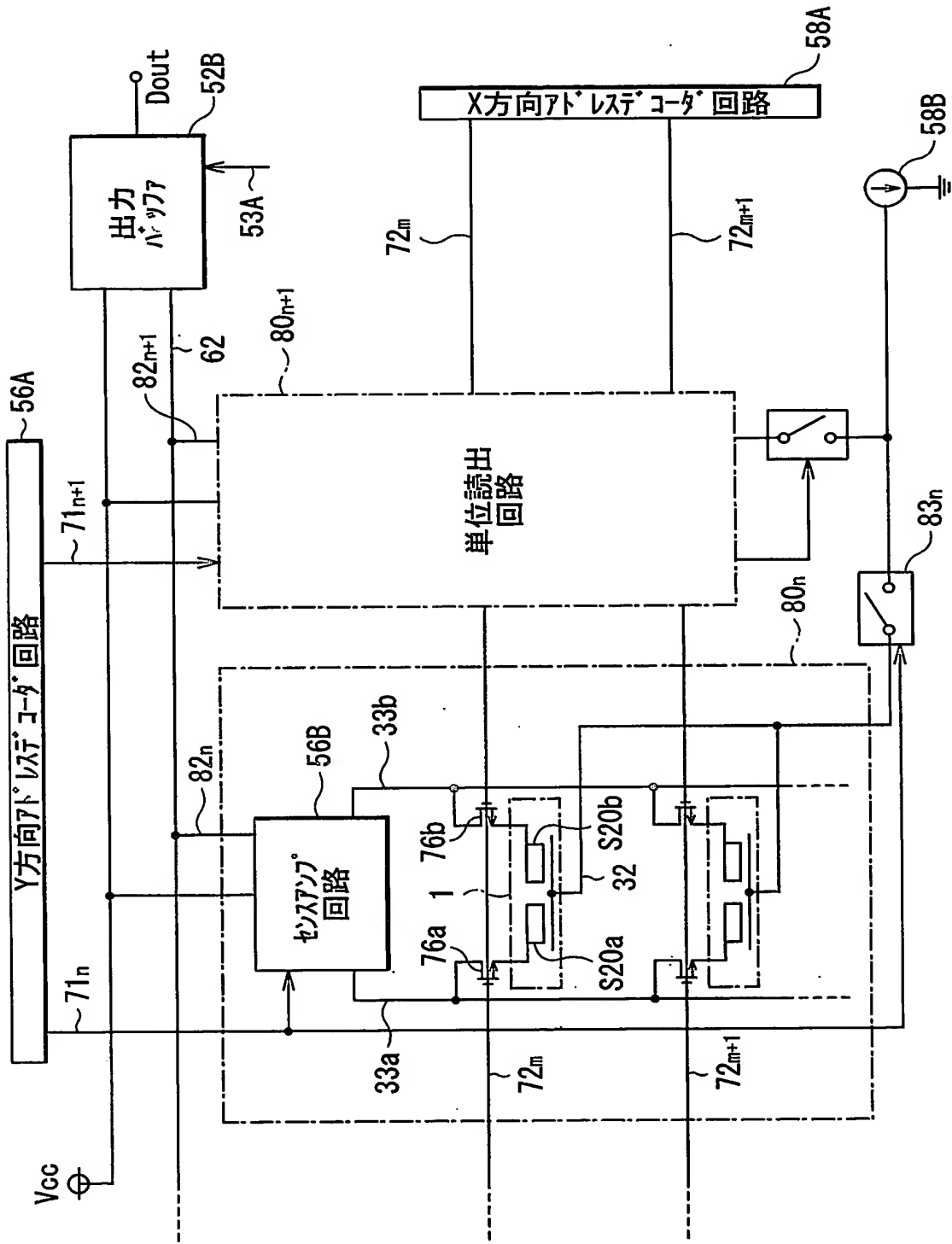


34/38

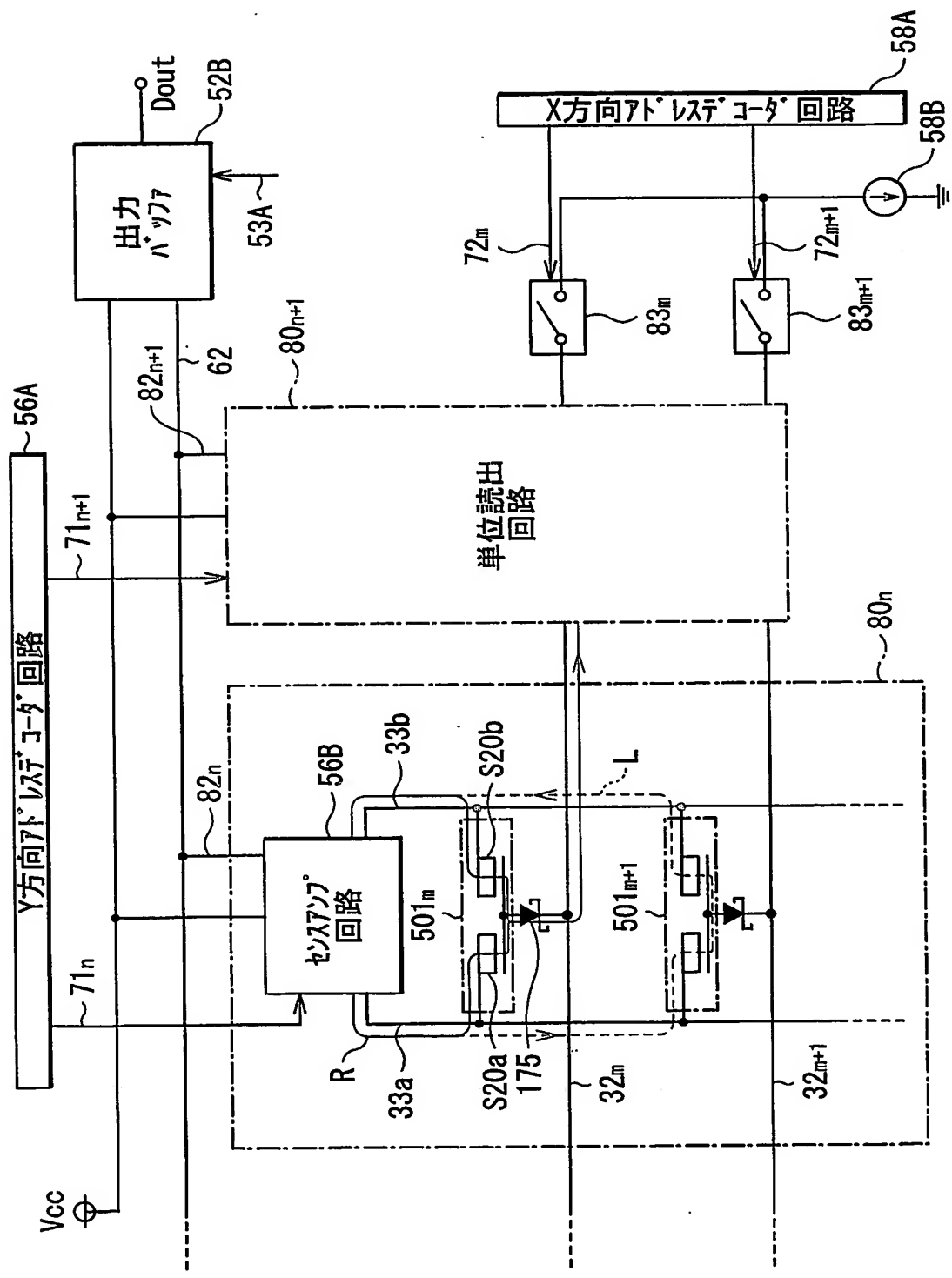
第44図



第45図

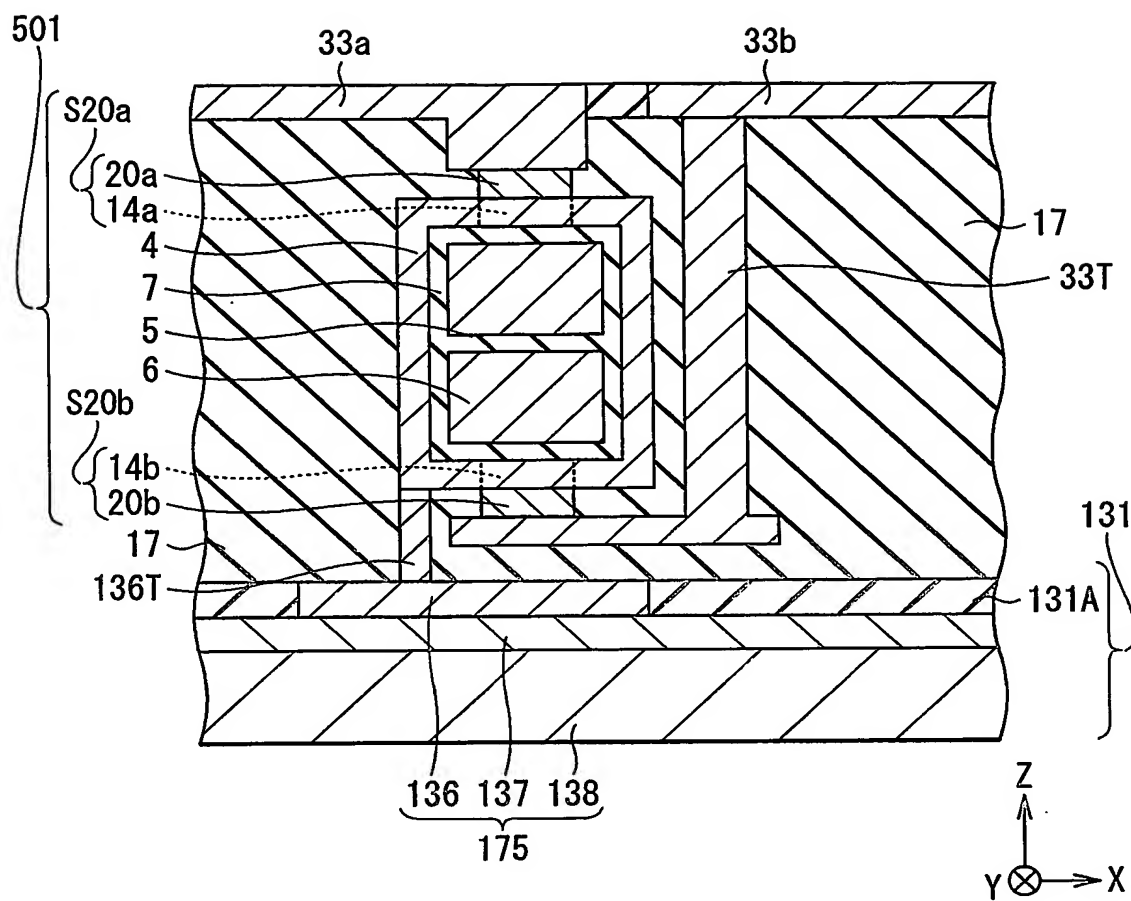


第46図



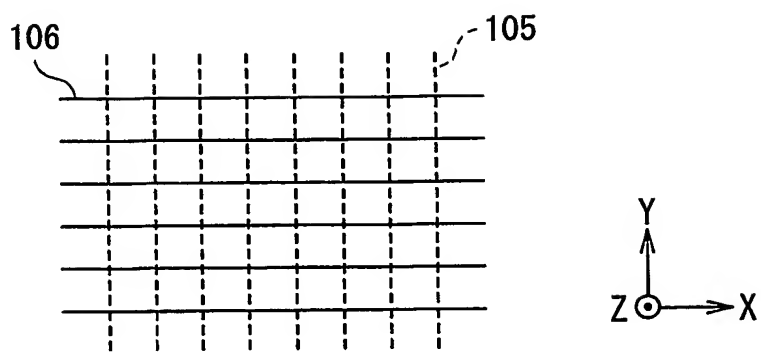
37/38

第47図

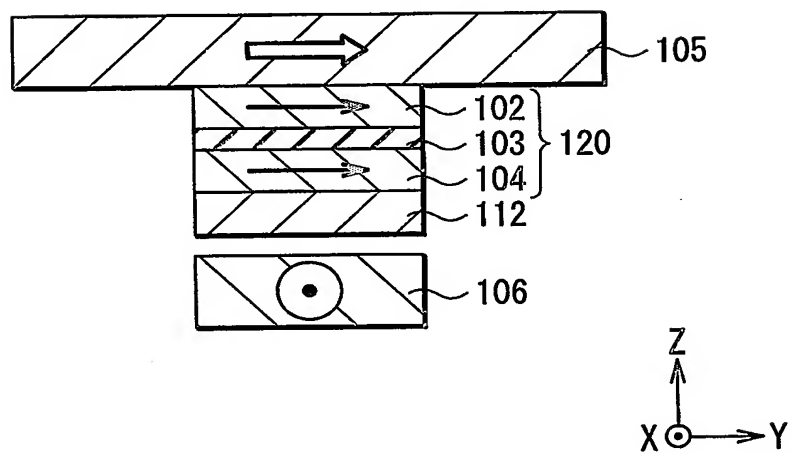


38/38

第48図



第49図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004353

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/10, 43/08, G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/10, 43/08, G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-353415 A (International Business Machines Corp.), 06 December, 2002 (06.12.02), Page 4, right column, line 27 to page 5, right column, line 22; Fig. 3 (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
05 July, 2004 (05.07.04)Date of mailing of the international search report  
20 July, 2004 (20.07.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/004353

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, the group of inventions of claims 1-50 are linked only by the technical feature "a magnetic memory cell comprising first and second multilayer bodies each including a magnetosensitive layer and an annular magnetic layer penetrated by conductive wires".

However, this technical feature cannot be a special technical feature since it is disclosed in prior art document JP 2002-353415 A (International Business Machines Corp.), 6 December, 2002 (06.12.02), (Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 2

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.



Continuation of Box No.III of continuation of first sheet(2)

page 4, right column, line 27 to page 5, right column, line 22, and Figure 3.

Therefore, there exists no special technical feature so linking the group of inventions of claims 1-50 as to form a single general inventive concept.

It appears that the group of inventions of claims 1-50 do not satisfy the requirement of unity of invention.

Considering the specific modes of the inventions of the independent claims, the international application contains three groups of inventions: the inventions of claims 1-20; the inventions of claims 21-48; and the inventions of claims 49, 50.

Concerning claims 1-20:

The group of inventions of claims 1-20 are linked only by the technical feature "a magnetic memory cell comprising first and second multilayer bodies each including a magnetosensitive layer and an annular magnetic layer so disposed that the axial direction is parallel to the multilayer surface and penetrated by conductive wires".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 1-20 are divided into eight groups of inventions: the inventions of claims 1, 2; the invention of claim 3; the invention of claim 4; the invention of claim 5; the invention of claim 6; the inventions of claims 7, 8; the inventions of claims 9-16; and the inventions of claims 17-20.

Further, the unity of invention about claims 17-20 will be examined.

The group of inventions of claims 17-20 are linked only by the technical feature "a magnetic memory cell for detecting information according to the currents flowing through the first and second multilayer bodies".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, the inventions of claims 17-20 of the international application are divided into two groups of inventions: the inventions of claims 17-19; and the invention of claim 20.

Consequently, the inventions of claims 1-20 are divided into nine groups of inventions.

Concerning claims 21-48:

The group of inventions of claims 21-48 are linked only by the technical feature "a magnetic memory device comprising a first write line and a second write line crossing but not connected to the first write line".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 21-48 of the international application are divided into 13 groups of inventions: the inventions of claims 21, 22; the invention of claim 23; the invention of claim 24; the invention of claim 25; the invention of claim 26; the inventions of claims 27, 28; the inventions of claims 29, 30, 43, 44; the invention of claim 31; the invention of claim 32; the invention of claim 33; the inventions of claims 34, 38; the inventions of claims 39-42; and the inventions of claims 45-48.

Further, the unity of invention about claims 29, 30, 43, 44 will be examined.

(Continued to extra sheet.)

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/004353

Continuation of Box No.III of continuation of first sheet (2)

The group of inventions of claims 29, 30, 43, 44 are linked only by the technical feature "a magnetic memory device for detecting information from a magnetic memory cell according to the current flowing through multilayer bodies".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 29, 30, 43, 44 of the international application are divided into two groups of inventions: the inventions of claims 29, 30; and the inventions of claims 43, 44.

Further, the unity of invention about claims 34-38 will be examined.

The group of inventions of claims 34-38 are linked only by the technical feature "a magnetic memory device comprising a first magnetic layer where the magnetization direction is fixed and a second magnetic layer serving as a magnetosensitive portion".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 34-38 of the international application are divided into four groups of inventions: the inventions of claims 34, 35; the invention of claim 36; the invention of claim 37; and the invention of claim 38.

Further, the unity of invention about claims 39-42 will be examined.

The group of inventions of claims 39-42 are linked only by the technical feature "a magnetic memory device where a pair of magnetosensitive layers constitute a part of annular magnetic layer".

However, the technical feature is disclosed in the above mentioned prior art document. Therefore, considering the specific modes of the inventions of the claims, the inventions of claims 39-42 of the international application are divided into two groups of inventions: the inventions of claims 39-41; and the invention of claim 42.

Therefore, claims 21-48 define 18 groups of inventions.

Consequently, the international application contains 28 groups of inventions not satisfying the requirement of unity of invention.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L27/10, 43/08, G11C11/15

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L27/10, 43/08, G11C11/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2002-353415 A (インターナショナル・ビジネス・マシーンズ・コーポレーション), 2002. 12. 06, 第4頁右欄第27行-第5頁右欄第22行, 第3図 (ファミリーなし)	1-2

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

05.07.2004

国際調査報告の発送日

20.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

瀧内 健夫

4M

3238

電話番号 03-3581-1101 内線 3462

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であり、請求の範囲1-50に記載されている一群の発明は、「感磁層を含む第1および第2の積層体と複数の導線によって貫かれるように構成された環状磁性層とを備える磁気記憶セル」であるという事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献JP 2002-353415 A (インターナショナル・ビジネス・マシーンズ・コーポレーション), 2002.12.06, 第4頁右欄第27行-第5頁右欄第22行, 第3図に記載されているため、特別な技術的特徴とはなり得ない。

(以下、「特別ページ」に続く。)

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-2

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(「第Ⅲ欄 発明の単一性が欠如しているときの意見」の続き)

そうすると、請求の範囲1-50に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。

そのため、請求の範囲1-50に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、請求の範囲1-20と、請求の範囲21-48と、請求の範囲49-50とに区分される3群の発明が記載されている。

・請求の範囲1-20について

請求の範囲1-20に記載されている一群の発明は、「感磁層を含む第1および第2の積層体と、積層面に沿った方向を軸方向とするように配置されると共に、複数の導線によって貫かれるように構成された環状磁性層とを備える磁気記憶セル」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-20には、請求の範囲1-2と、請求の範囲3と、請求の範囲4と、請求の範囲5と、請求の範囲6と、請求の範囲7-8と、請求の範囲9-16と、請求の範囲17-20とに区分される8群の発明が記載されている。

さらに、請求の範囲17-20について単一性の検討を行う。

請求の範囲17-20に記載されている一群の発明は、「第1および第2の積層体に流れる電流に基づいて情報が検出される磁気記憶セル」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲17-20には、請求の範囲17-19と、請求の範囲20とに区分される2個の発明が記載されている。

よって、請求の範囲1-20には、9個の発明が記載されていると認める。

・請求の範囲21-48について

請求の範囲21-48に記載されている一群の発明は、「第1の書込線と、第1の書込線と交差するように延びる第2の書込線を備える磁気メモリデバイス」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲21-48には、請求の範囲21-22と、請求の範囲23と、請求の範囲24と、請求の範囲25と、請求の範囲26と、請求の範囲27-28と、請求の範囲29-30、43-44と、請求の範囲31と請求の範囲32と、請求の範囲33と、請求の範囲34-38と、請求の範囲39-42と、請求の範囲45-48とに区分される13群の発明が記載されている。

(次頁に続く)

(前頁の続き)

さらに、請求の範囲 29-30, 43-44 について単一性の検討を行う。

請求の範囲 29-30, 43-44 に記載されている一群の発明は、「積層体に流れる電流に基づいて磁気記憶セルから情報が検出される磁気メモリデバイス」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲 29-30, 43-44 には、請求の範囲 29-30 と、請求の範囲 43-44 とに区分される 2 個の発明が記載されている。

さらに、請求の範囲 34-38 について単一性の検討を行う。

請求の範囲 34-38 に記載されている一群の発明は、「磁化方向の固定化された第 1 の磁性層と感磁部分として機能する第 2 の磁性層を含む磁気メモリデバイス」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲 34-38 には、請求の範囲 34-35 と、請求の範囲 36 と、請求の範囲 37 と、請求の範囲 38 とに区分される 4 個の発明が記載されている。

さらに、請求の範囲 39-42 について単一性の検討を行う。

請求の範囲 39-42 に記載されている一群の発明は、「一对の感磁層が環状磁性層のうち的一部分を構成している磁気メモリデバイス」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲 39-42 には、請求の範囲 39-41 と、請求の範囲 42 とに区分される 2 個の発明が記載されている。

よって、請求の範囲 21-48 には、18 個の発明が記載されていると認める。

したがって、この国際出願は、発明の単一性の要件を満たさない 28 個の発明を含むものである。